

2023 年  
經濟部智慧財產局  
產業專利分析與布局競賽  
報告書

團隊名稱：半導體探險隊

競賽主題：製造新科技 / (技術領域代號：B03)

競賽題目：3D Fabric 智財策略: 「3D 矽堆疊」與「先進封裝」技術之專利分析研究

中華民國 112 年 8 月 9 日

感謝評審針對報告書給出建議，本團隊之修改項目如下表，使用灰底藍字進行標註於內文，加以新增的小節則標註在標題，以便評審委員作查看。

所屬技術及產業現況分析	半導體探險隊說明
1. 所屬技術及產業現況分析具體詳細，技術產業調查資料豐富，惟技術內容應註明資料來源。	感謝委員提供建議。本團隊將蒐集之資料放置至第九章參考文獻處，已補齊相關資料。
2. 盡量不要使用「模塊、集成、芯片、優化、信號」等用語，國內常用的是「模組、整合、晶片、最佳化、訊號」。	感謝委員提供建議。已將使用錯誤之用語更換成國內用語。
3. 2.2.1PiP 段的圖式標示有誤。	感謝委員提供建議。已將圖式標示修改於 P.19-20
4. 3.9.2 有重複段落，內容明顯是複製台積電報告文字，建議以改寫調整內容說明。	感謝委員提供建議。已將內容並增加更精確地描述，使內容更加完整，修改於 P.32。
專利檢索分析方法論與實作	半導體探險隊說明
1. 檢索區間設定在近 15 年，但未說明原因，宜應補充。	感謝委員提供建議。已將段落說明，並解釋原因於 P.38。
2. P.34 選用的 TW111118645 似乎並不是第一個專利，應說明原因及目的	感謝委員提供建議。本團隊經討論後將此段落修改成珍珠專利來作探討，並解釋其原因。
3 關鍵字「積體電路」、「記憶體」為台灣慣用語，建議可增加大陸慣用語「芯片」、「內存」等中文關鍵字加以檢索會更好。	感謝委員提供建議。經評審建議後，本團隊加入芯片及內存至檢索式後，專利數從 3318 增至 3392，修改於 P.38-39。
4. 建議可增加檢全率/檢準率檢驗。	感謝委員提供建議。已增加檢全率/檢準率之相關探討，並將研究步驟補充於 P.47-49。
5. P.24 頁提到三星為 TSMC Fabric 聯盟的一員，但表 19 提到三星與 TSMC 為競爭關係，應再說明清楚是在什麼地方屬於合作、什麼地方屬於競爭關係。	感謝委員提供建議。本團隊已將蒐集的資料補充於 P.64 表 18 格內。
6. 建議可分析 TSMC 身為龍頭的專利布局，或是更進一步延伸至專利訴訟。	感謝委員提供建議。已添加台積電作為龍頭角度下的專利布局，再進一步從法律層面探討，修改於 P.58。
7. P.37 「由表 9 可知台積電的申請數量達 1129 筆」及「由下表 10 第一申請人來看此技術主要還是掌握在台灣及美國」疑為文字誤繕，建議確認後修正。	感謝委員提供建議。已將文字確認後，並修改於 P.41。
8. 專利管理圖分析區分技術層次，構想很不錯，但分析項目過於簡略，似未見技術圖分析，如 3D Fabric 的前	感謝委員提供建議。本團隊加以分析台積電與日月光在 3D Fabric 聯盟的角色，及封裝領域上的競合關係，將

10 大申請人及分析等探討，或是內部競合關係，建議可再此部分多加強。	資料補充於 P.63-64。
9. 部分圖片過於模糊(如圖 36)，無法清楚理解文字內容，品質呈現可再強化。	感謝委員提供建議。本團隊將原(圖 36)替換成以下內容：全球十大申請人及四階 IPC 分析，以折線圖(圖 36)及色溫圖(圖 37)加以呈現整體產業趨勢，將資料補充於 P.42-43。
<b>專利布局趨勢與協助產業發展之策略</b>	<b>半導體探險隊說明</b>
1. 本報告僅在分析台積電的封裝技術，對於申請量第二名的 Monolithic 的技術完全沒有著墨，建議可以對台積跟其他封裝技術優劣勢比較，並提出對產業發展和布局之具體建議。	感謝委員提供建議。關於 Monolithic 相關之分析已補充於 P.41、43。另外，封裝技術之優劣勢對比，本團隊以國內、外企業個別分析探討，補充於 P.63-68。
2. 侷限在台積電個案為例分析半導體產業的發展，但是對於競爭者的威脅未深入分析，以致難做策略規劃，較為可惜。	感謝委員提供建議。本團隊已針對 Intel 及三星進行深入了解，並整理出相對應的資料，檢索出珍珠專利，讓本團隊能更清楚了解其技術的發展情況，將資料補充於 P.65-68。
3. 建議可列出台灣專利權人所申請之專利及布局情況，結合前述分析內容作進一步分析。	感謝委員提供建議。本團隊依據台積電與日月光在封裝技術之專利數量進行趨勢探討，並結合各自的經營理念分析競合關係，將資料補充於 P.63-64。

詳讀初賽評審委員意見後，經由本團隊討論後，將報告書內容修改更加完善，其他新增之修改內容如下：

項目	內容	頁碼
摘要	透過蓋房子來比喻三維積體電路的概念	P.4
研究動機	三維積體電路之困境	P.10
7.1.3	以 3D Fabric 角度進行專利布局策略	P.60
7.2.2	Ernst 布局策略分析 3D-IC 技術之專利權人	P.61
SWOT 表格	以條列式舉出相對策略及關係	P.62
結論	對整體內容作更詳盡的分析	P.69
圖片品質強化	圖 17、18、38、45、48、51	

## 摘要

半導體產業是現代科技發展的關鍵基礎，其在電子設備、通訊、汽車、醫療等領域都有廣泛應用，使得現代社會成為高度數位化和智能化的時代。隨著技術的不斷進步，半導體製造過程越來越複雜，生產線更加精密，推動了全球各地的半導體公司不斷競爭。從原本的電腦在到手機，要求體積越來越小、速度快，但面對摩爾定律的限制，單一晶片逐漸無法滿足人們的需求，因此人們想出了用晶片堆疊的方法，從原本的三合院變成蓋一座大樓，將晶片一片堆著一片，讓電晶體的數量不斷增加，這正是三維積體電路(3D-IC)的概念，突破了摩爾定律的限制，來達到超摩爾定律的目標，台積電甚至為此成立了3D Fabric聯盟來研究此技術，可知此技術對半導體產業的重要性。因此本團隊將藉由全球專利檢索(GPSS)系統分析三維積體電路(3D-IC)和國際大廠的專利布局，並經檢索後得知台積電目前的技術概況，經資料統整後提出建議，盼能為台灣半導體產業做出貢獻。

## 目錄

壹、緒論	10
一、研究動機	10
二、研究方法	10
1.2.1 問題定義	10
1.2.2 研究策略	10
1.2.3 研究架構與流程	11
貳、半導體產業分析	12
一、半導體與人類的生活	12
三、半導體產業生命週期	13
四、摩爾定律與超摩爾定律	13
五、封裝技術歷程	14
六、全球半導體產業發展與國家政策	15
七、新世代半導體計畫	17
參、產業概況與技術介紹	19
一、SoC 系統單晶片(System on a Chip, SoC)	19
二、SiP 系統級封裝(System in a Package, SiP)	19
2.2.1 PiP (Package in Package)封裝	20
2.2.2 PoP (Package on Package)封裝	21
三、2.5D 與三維立體封裝	22
四、台積電先進製程技術介紹	24
五、台積電先進封裝技術介紹	25
六、台積電開放創新平台(The TSMC Open Innovation Platform)	26
七、3D Fabric 聯盟	28
八、TSMC 3D blox 開放標準	30
九、3D Fabric 技術介紹	30
3.9.1 TSMC-SoIC 技術介紹	31
3.9.2 TSMC-InFO 技術介紹	33
3.9.3 TSMC- CoWoS 技術介紹	34
肆、專利檢索方法與範圍	37
一、檢索範圍與工具	37
二、檢索範圍及 IPC 分類號	37
三、專案資料夾	38
伍、專利檢索過程與分析	39
一、專利檢索過程	39
二、3D-IC 專利分析及檢索式概念	39
三、全球 10 大申請人及申請數量	42
四、全球十大申請人及四階 IPC 分析	43
五、技術生命週期	44
六、技術功效矩陣	45
七、檢準率、檢全率	48
陸、3D Fabric 技術專利分析	51
一、SoIC 系統整合晶片專利申請數量分析	51
6.1.1 檢索式概念	51

6.1.2 技術生命週期圖 .....	52
6.1.3 四階 IPC 分析 .....	52
二、InFO 扇外型封裝專利申請數量分析 .....	53
6.2.1 檢索式概念 .....	53
6.2.2 技術生命週期 .....	54
6.2.3 四階 IPC 分析 .....	54
三、CoWoS 封裝技術專利申請數量分析 .....	56
6.3.1 檢索式概念 .....	56
6.3.2 技術生命週期 .....	56
6.3.3 四階 IPC 分析 .....	57
四、檢索結果結論 .....	58
柒、智財布局與技術策略 .....	59
一、專利布局策略與模式 .....	59
7.1.1 專利布局策略 .....	59
7.1.2 Ove Granstrand 專利布局策略模式 .....	59
7.1.3 3D Fabric 專利布局策略建議 .....	61
二、企業層面的專利布局理論 .....	61
7.2.1 Ernst 布局策略 .....	61
7.2.2 從 Ernst 布局策略看 3D Fabric 聯盟 .....	62
三、台灣半導體產業 SWOT 分析 .....	62
四、台灣半導體產業波特五力分析 .....	63
五、國內企業專利分析與布局 .....	64
六、國外企業專利分析與布局 .....	65
捌、結論 .....	70
玖、參考文獻 .....	71

## 圖目錄

圖 1 研究流程圖架構.....	11
圖 2 半導體產業鏈(資料來源:產業價值鏈資訊平台).....	12
圖 3 產業生命週期(資料來源:本研究整理).....	13
圖 4 封裝技術發展史 1970s-1990s (資料來源:anysilicon).....	14
圖 5 封裝技術發展史 1990s-2010s (資料來源:anysilicon).....	15
圖 6 六大核心戰略以 5+2 產業創新為基礎(資料來源:國家發展委員會).....	16
圖 7 第一代至第三代半導體材料比較(資料來源:施羅德投信整理).....	18
圖 8 SoC 與 SiP 示意圖(資料來源:Ansforce).....	20
圖 9 PiP 封裝(資料來源:Ansforce).....	21
圖 10 PoP 封裝(資料來源:Ansforce).....	22
圖 11 2.5D/3D-IC 設計(資料來源:SIEMENS).....	22
圖 12 2.5D 封裝結構(資料來源:Ansforce).....	23
圖 13 3D 封裝結構(資料來源:Ansforce).....	23
圖 14 IC 封裝的應用領域.....	24
圖 15 先進製程技術組合(資料來源:台積電).....	24
圖 16 FinFET 與 GAAFET 技術(資料來源: Lam Research).....	25
圖 17 2Q23 台積電銷售分析(資料來源:台積電).....	26
圖 18 2Q23 台積電各技術平台營收占比(資料來源:台積電).....	26
圖 19 開放創新平台架構(資料來源:台積電).....	28
圖 20 3D Fabric 聯盟及成員(資料來源:台積電).....	29
圖 21 台積電 3D Fabric 相關技術(資料來源:台積電).....	30
圖 22 台積電 SoIC 堆疊技術(資料來源:台積電).....	31
圖 23 台積電的 SoIC 及 2.5D/3D-IC 比較(資料來源:ISSCC 2021).....	31
圖 24 台積電 CoW、WoW 方案(資料來源:台積電).....	32
圖 25 InFO_PoP(資料來源:台積電).....	33
圖 26 InFO_oS(資料來源:台積電).....	34
圖 27 CoWoS 技術架構(資料來源:台積電).....	34
圖 28 CoWoS-S(資料來源:台積電).....	35
圖 29 CoWoS-R(資料來源:台積電).....	35
圖 30 CoWoS-L(資料來源:台積電).....	36
圖 31 3D Fabric 封裝技術簡圖(資料來源:台積電).....	36
圖 32 全球專利檢索系統 GPSS(資料來源:GPSS).....	37
圖 33 全球專利檢索系統 GPSS 進階檢索(資料來源:GPSS).....	37
圖 34 檢索國家分類(資料來源:GPSS).....	37
圖 35 IPC 分類號查詢(資料來源:智財局).....	38
圖 36 十大申請人之 IPC 分布數量.....	43
圖 37 全球十大申請人 H01L 四階分類號申請數折線圖.....	43
圖 38 3D-IC 技術生命週期圖.....	44
圖 39 半導體封裝技術功效矩陣.....	46
圖 40 以長條圖表示技術功效矩陣.....	46
圖 41 半導體材料技術功效矩陣.....	47
圖 42 以長條圖表示技術功效矩陣.....	47
圖 43 3D-IC 相關技術之檢準率.....	49

圖 44 3D-IC 相關技術之檢全率 .....	50
圖 45 申請人、專利數量折線圖 .....	52
圖 46 各年份 IPC 數量 .....	52
圖 47 IPC 數量 .....	53
圖 48 公開/公告年 技術生命週期 .....	54
圖 49 各年 IPC 分布圖 .....	55
圖 50 IPC 數量 .....	55
圖 51 公開/公告年 專利數量折線圖 .....	56
圖 52 各年份 IPC 數量 .....	57
圖 53 IPC 數量 .....	57
圖 54：專利布局策略圖(資料來源:智財局).....	61
圖 55:專利活動(Ernst (1996), Patent portfolio for strategic R&D planning) .....	62
圖 56 台積電與日月光封裝技術專利申請趨勢折線圖 .....	65
圖 57 台積電、三星和 Intel 封裝技術專利申請趨勢圖 .....	68

## 表目錄

表 1 台灣半導體產業鏈公司 .....	12
表 2 SiP、SoC、3D-IC 對比.....	23
表 3 OIP 聯盟 .....	27
表 4 3D Fabric 相關技術.....	30
表 5 WoW 與 CoW 概念及優勢比較.....	32
表 6 3D-IC 檢索式.....	39
表 7 3D-IC 技術分類表及其檢索式 .....	40
表 8 第一次合併檢索式.....	40
表 9 最終檢索範圍.....	41
表 10 前 10 大申請人及數量 .....	42
表 11 申請人國別及數量 .....	42
表 12 IPC 分類號定義.....	43
表 13 3D Fabric 相關技術檢索式 .....	51
表 14 IPC 號定義.....	53
表 15 IPC 分類號定義.....	55
表 16 IPC 號定義.....	57
表 17 SWOT 分析表.....	63
表 18 波特五力分析.....	63
表 19 台積電與國外封裝技術比較 .....	65
表 20 台積電、三星、Intel 檢索式 .....	67

## 壹、緒論

### 一、研究動機

半導體產業為什麼這麼重要?他影響了什麼?也改變了我們的生活，近年來，摩爾定律是否達到極限是個半導體產業都關注的問題，近 10 年人類生活有相當大的改變，不外乎就是半導體產業的大進步所造成的結果，對於科技究竟能進步到什麼地步也一直是我們相當關注的重點。三維積體電路(3D-IC)在 2010 年後名聲大增，大家開始注意到一個晶片能容納的電晶體數量即將達到上限，封裝技術開始受到大家的重視，大家開始想以晶片堆疊的方式增加電晶體數量，進一步增加效能，但晶片堆疊說起來簡單，做起來有很大的難度，目前能實際應用的 3D 堆疊只有高頻寬記憶體(High Bandwidth Memory, HBM)，其原因與其構造有關，但晶片堆疊目前只能兩片交互堆疊，並無法像記憶體一樣一層一層往上堆疊，因此本團隊將對此作探討，並研究 3D-IC 相關技術，本團隊將以台積電角度出發，探討 3D-IC 相關技術，使用全球專利檢索系統(GPSS)探討相關專利申請數量及封裝技術申請概況，再將資料進行技術生命週期、IPC 分析、技術功效矩陣及檢準率和檢全率分析，資料蒐集齊全後，提出相關建議，用專利分析的角度看 3D-IC 技術，盼能對台灣半導體產業做出貢獻。

### 二、研究方法

本團隊將在此探討問題定義及研究策略，並展現整體研究架構及流程。

#### 1.2.1 問題定義

根據摩爾定律，半導體業的製程與技術，每隔 18~24 個月就會進入至下一個世代。因此，半導體業者必須不斷以競爭對手無法跟上的速度與資金投入研發，才能趕上摩爾定律每 18~24 個月就得進入下個世代的製程，以防落後競爭對手。這套經驗法則，成為半導體製程技術推進速度的遵循依據，不斷推進半導體業的高速發展，成就了如今的半導體強者，如 Intel、三星及台積電。但摩爾定律在眾多專家的研究觀察下，他們認為摩爾定律最終會走向極限，但相對地仍有些專業人士認為使用相關技術甚至加以研發就能趕上摩爾定律的循環，在此想探討哪些技術是摩爾定律延續下去的關鍵?本團隊將針對台積電最新創立的 3D Fabric 聯盟所研發的主要技術進行探討與研究，再探討其中的價值與所面臨的現況。

#### 1.2.2 研究策略

為探討延續摩爾定律之相關半導體技術，本案依探討之主題與範疇。首先我們從半導體產業及產業現況切入，再進行封裝技術分析，其中更以台積電先進封裝為主要研究對象，也會進一步剖析台積電新成立的 3D Fabric 聯盟，來探討對台灣半導體產業的影響力。確立技術關鍵後，以專利檢索來探討發展趨勢與產業應用。我們也透過技術及功效分析得知哪些技術應用最為廣泛，最後我們依前述分析結果進行國內外產業之競爭力分析，並給出我們的策略與建議。

### 1.2.3 研究架構與流程

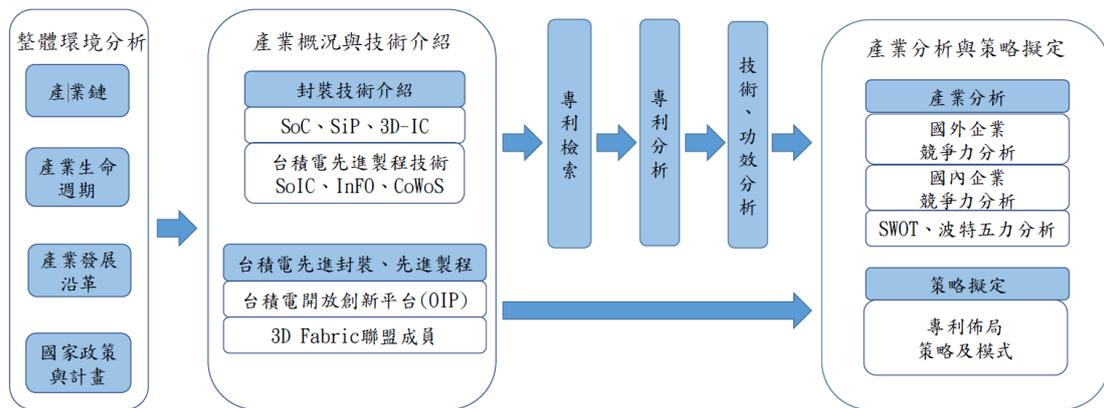


圖 1 研究流程圖架構

## 貳、半導體產業分析

### 一、半導體與人類的生活

隨著科技快速發展，人們生活步調更加緊湊，在這個人人講求效率的社會裡，生活周遭所用的產品都講求方便及快速，從過往手機的指紋解鎖，到現在普遍都搭載的臉部辨識；我們的代步工具，從過往的汽油車到現在成為發展趨勢的電動車，加上 AI 技術甚至連油門都不用踩，直接利用自動駕駛，而這些種種跡象都迫使我們對於晶片的的要求更高，而成功的關鍵就在於晶片的製程技術，晶片功耗要低，效能要更強，為現在發展的趨勢。

### 二、半導體產業鏈

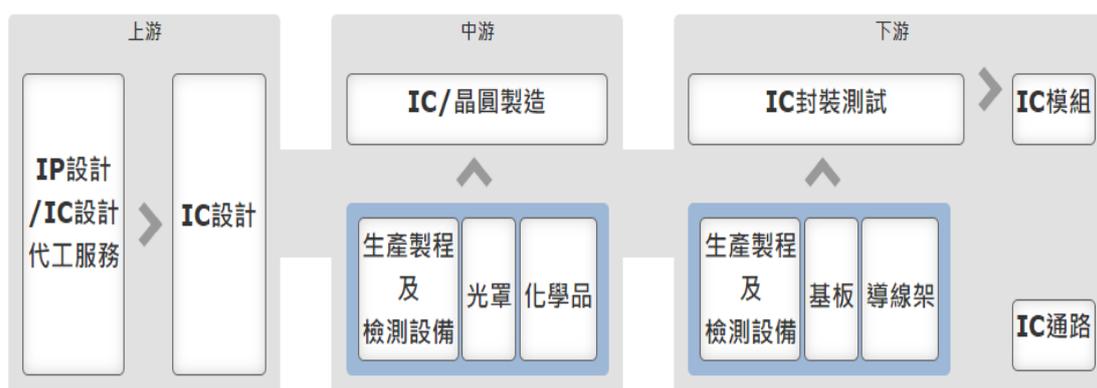


圖 2 半導體產業鏈 (資料來源:產業價值鏈資訊平台)

半導體產業鏈上游為 IP 設計及 IC 設計業，中游為 IC 製造、晶圓製造、相關生產製程檢測設備、光罩、化學品等產業，下游為 IC 封裝測試、相關生產製程檢測設備、零組件（如基板、導線架）、IC 模組、IC 通路等業。台灣擁有全球最完整的半導體產業聚落及專業分工，IC 設計公司在產品設計完成後，委由專業晶圓代工廠或 IDM 廠（整合型半導體廠，從 IC 設計、製造、封裝、測試到最終銷售都一手包辦）製作成晶圓半成品，經由前段測試，再轉給專業封裝廠進行切割及封裝，最後由專業測試廠進行後段測試，測試後之成品則經由銷售管道售予系統廠商裝配生產成為系統產品。

表 1 台灣半導體產業鏈公司

上游	中游	下游
<b>IP 設計/IC 設計代工服務</b> <ul style="list-style-type: none"> <li>➢ 創意</li> <li>➢ 智源</li> </ul>	<b>IC/晶圓製造</b> <ul style="list-style-type: none"> <li>➢ 台積電</li> <li>➢ 聯電</li> <li>➢ 力積電</li> </ul>	<b>IC 封裝測試</b> <ul style="list-style-type: none"> <li>➢ 日月光</li> <li>➢ 力成</li> <li>➢ 京元電子</li> <li>➢ 南茂</li> </ul>
<b>IC 設計</b> <ul style="list-style-type: none"> <li>➢ 聯發科</li> <li>➢ 聯詠</li> <li>➢ 瑞昱</li> </ul>		

(資料來源:本研究整理)

### 三、半導體產業生命週期

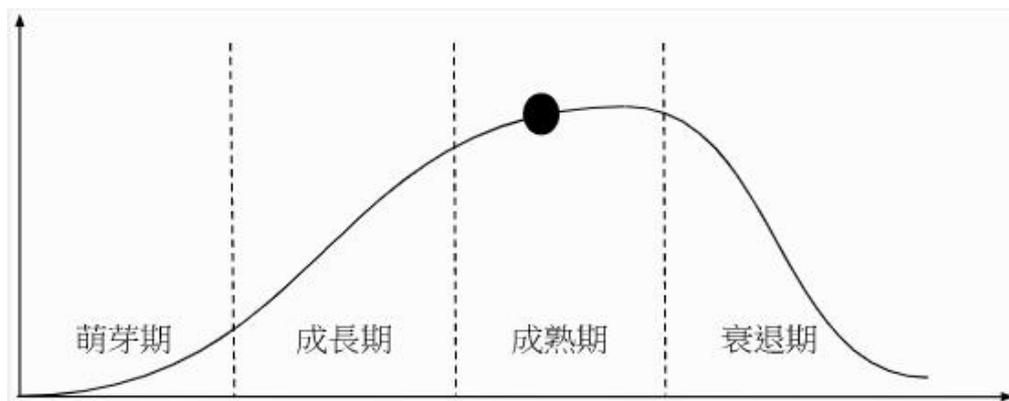


圖 3 產業生命週期 (資料來源:本研究整理)

本研究認為半導體產業正處於**成熟期**，且擁有強大的製程以及可以廣泛運用在生活所見的用品當中，本研究歸納出下列三點：

1. **強大的製程**:製程當中分為成熟製程和先進製程，市場上對於成熟製程其實未有明確的定義劃分，但以 7 奈米作為分水嶺，包括 5 奈米及 3 奈米則被稱為先進製程，而 7 奈米以上則包括 16 奈米及 28 奈米等可稱為成熟製程。台積電公司突破摩爾定律，製造出 5 奈米、3 奈米甚至是未來的 2 奈米。但成熟製程並不因先進製程的技術領先而受到排擠，更因為多數應用在效能及成本考量反而會以成熟製程為優先。正因為在技術上擁有足夠的成熟經驗，讓成熟製程的技術能滿足特殊領域需求，包括車用電子及軍用晶片。
2. **廣泛的運用** 半導體在生活當中可以應用到不同領域上，休閒娛樂、醫療資源、軍事、汽車電子，各個領域當中都能看到半導體的影子，這種多元化的應用使半導體產業能夠應對市場變化，並在不同領域中獲得成長機會。
3. **IDM**：即從 IC 設計，到製造、封裝測試，及面向消費市場一條龍全包的企業。這樣可以使整條半導體產業可以更有效的控制品質、提高效率並縮短上市的時間。

### 四、摩爾定律與超摩爾定律

晶片製程的方法，就如同蓋房子一般，當面積有限，又想要增加效能，因此只能往上蓋，從原本只有一樓平面的三合院，到透天厝，最後變成由多種功能組合再一起的摩天大樓，這樣的形式就如同晶片透過堆疊的方式，將多種不同的功能整合再一起，達成我們想要的功能。晶片堆疊的方法中，電晶體數量是一項重要的指標，數量越多所能實現的效能越大，理所當然，想要晶片效能越高、電晶體數量就要越多，與此同時，就會面臨摩爾定律到達極限的問題。

而所謂的**摩爾定律**是由 Intel 創辦人高登·摩爾 (Golden Moore) 所提出的，意思就是說隨著製程微縮，積體電路上可容納的電晶體數量，每隔 18 到 24 個月就會增加一倍，比上一代晶片提高約 40% 效能或價格下降一半。但一個晶片所能搭載的電晶體數量有限，如此一來這樣的規律就會消失，目前多數半導體企業都在想盡辦法延續摩爾定律下的規律，但電晶體的尺寸越縮越小已接近物理的極限，且製程的良率不足導致成本過高，因此就有超摩爾定律的概念產生。

**超摩爾定律**主要是利用**3D 堆疊**的方式將晶片整合在一起，將多個小晶片整

合再一起，形成一個超級晶片，在效能上持續突破，解決摩爾定律到達極限的手段，這種垂直堆疊的方式可以增加電晶體數量和縮小晶片尺寸，以及將所有功能的晶片，縮小到同一個晶片，使尺寸變小，滿足現代晶片越做越小的趨勢，為此台積電更集結了全世界半導體產業的技術龍頭，建立了**3D Fabric 聯盟**，為的就是增進3D堆疊相關技術的發展，並依此技術又有三種封裝技術做研究，分別是系統整合晶片(System on Integrated Chips, SoIC)、整合扇外型封裝(Integrated Fan-out, InFO)和基板上晶圓上晶片封裝(Chip on Wafer on Substrate, CoWoS)，為了探討此聯盟帶給半導體產業的影響，本團隊將從封裝的發展源頭開始談起。

## 五、封裝技術歷程

半導體的演進可從 1970 年代開始，為雙列直插封裝，到了 1990 年代發展出系統單晶片，是目前晶片的最小單位，以高度整合的方法將各種單元組合在一起，例如 CPU 和 GPU 等，到 2000 年代系統及封裝的出現，以 SoC 為基礎再將其周圍加上其他功能，例如記憶體，而且可依據需求來設計電路，相較來說 SoC 就是一體成型的，較有調整空間。演進到 2010 年至今，2D/3D-IC 封裝以前的技術為基礎，透過水平擺放和 3D 堆疊的方式，使晶片整體效能更強大，即為本研究聚焦之重點。詳細之半導體封裝歷程可由下圖得知：讓人意外的是 2010 年就有不少學者已經認知到半導體產業可能面臨到摩爾定律到達極限的問題，進而衍生出相關堆疊技術，表示多半的專家都有共識，並且瞭解此產業未來必須面臨的問題及前進的方向。因此本團隊將在後續第三章研究最新三維積體電路及其對產業造成的影響及衝擊。

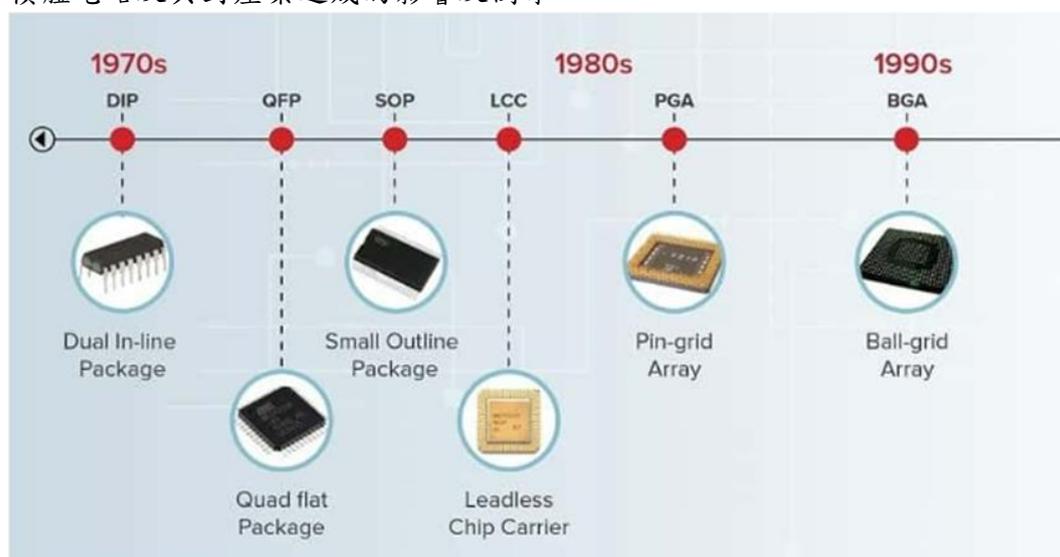


圖 4 封裝技術發展史 1970s-1990s (資料來源:anysilicon)



圖 5 封裝技術發展史 1990s-2010s (資料來源:anysilicon)

1965 年:第一個半導體封裝技術產生

1970 年代: 雙列直插封裝(Dual In Line, DIL), 塑料方形扁平封裝(Quad Flat Package, QFP), 小外形封裝(Small Outline Package, SOP), 晶片載體(Leadless Chip Carrier, LCC)

1980 年代: 插針網格陣列封裝(Pin-Grid Array, PGA)

1990 年代: 球柵陣列封裝(Ball-Grid Array, BGA), 四方形平面無引腳封裝(quad flat no leads package, QFN)

2000 年代: 晶片尺寸封裝(Chip Scale Package, CSP), 系統級封裝(system in package, SIP), 層疊封裝(package on package, PoP), 晶圓級封裝(wafer level package, WLP)

2010 年代: 2.5D 整合封裝(2.5D integrated circuits), 三維積體電路(3D integrated circuits)

## 六、全球半導體產業發展與國家政策

半導體產業趨近成熟，上中游產業鏈分工相對明確，從設計、製造、封裝各自領域，都有公司在業界大放異彩，然而外資、外商、外國的公司獨有的專利或技術，對我國企業，帶來正面或負面的影響都是存在可能性的，其中也夾雜國家與國家間的政治角力。以下舉例：台灣、美國、日本、韓國、中國大陸。

台灣在 1974 年工業技術研究院成立「電子工業研究發展中心」，主要是負責積體電路工業的發展，因此開始以半導體發展為主，在 1980 年成立了台灣第一間 IC 公司為聯華電子股份有限公司(UMC)，是由國家與民間共同投資，隨後在 1986 年成立了台灣積體電路製造股份有限公司(TSMC)，成為了全球第一間專業晶圓代工廠，因此台灣在半導體的產業發展也越來越熱絡，也形成了在全世界少數擁有最齊全積體電路產業鏈的國家，從上游晶圓設計有：聯發科 世界先進、創意電子以及瑞昱電子擅長的音訊晶片。中晶晶圓製造有：台積電、聯華電子。下游測試及封裝有：日月光、欣銓。

台灣的國家政策可以從 5+2 產業創新計劃、六大核心戰略產業推動方案與投資台灣三大方當中看到政府對於台灣的半導體想要進一步強化的決心，政府也在半導體的專業技術人才上做出了政策，通過了外國專業人才及雇用法，希望可以更多的國際人才可以來台灣，並把專業人才留在台灣，把台灣打造成亞

洲矽谷，在台灣教育方面，教育部分別為台灣大學、清華大學、陽明交通大學與成功大學成立了半導體學院，其目的是培養高階人才，讓業界與學校密切合作，來強化台灣的半導體產業在下一代的競爭力。



圖 6 六大核心戰略以 5+2 產業創新為基礎(資料來源:國家發展委員會)

美國是發明積體電路的先驅國家，也有需多企業已來台設立分公司；例如：主要提供晶圓設備提供的應用材料公司，主要負責記憶體的美光。SYNOPTIS(新思科技)為晶圓設計時，所需的設計軟體供應商。IC 設計到製造，垂直整合的 Intel；也有後來居上的 AMD，有一部分分析認為是 AMD 近年優異的表現，是將晶圓製造委託台積電負責，提升了良率與性能。還有高通、NVIDIA.....等。在 2022 年也提議出要組成半導體聯盟(Chip4 聯盟)邀請台灣(台積電、聯發科、聯電)、日本(東芝、瑞薩、東京威力創科)與韓國(三星、SK 海力士)等大廠，來建立半導體供應鏈，但台灣與南韓加總擁有全球晶片製造超過 8 成的市占率，必須妥善維護自身所擁有的關鍵智慧財產權與企業價值，不可能在晶片聯盟的架構下成為美國晶片產業獨占的跟班，業界對於成立晶片四國聯盟的目標與效益，仍存在高度疑慮。在 2022 年 7 月 28 日通過了創造對生產半導體有益的激勵措施方式，俗稱晶片法案，主要為補助半導體業者可以在美國設廠與在美國研發。通過了創新與競爭法案，目標是支持美國半導體產業與研發技術，對於想要投資半導體相關產業者蓋新廠或購買設備提供補助，補助金額高達 390 億美元。

日本在 1985 年被美國以貿易法給起訴，因此在 1986 年與美國簽約日美半導體協定，使得日本自己在半導體的產業開始衰退落寞，但在 2022 年與美國在半導體產業達成以雙方同意與互補的形式合作，日本在半導體產業有以相機市場龍頭地位的 NIKON 和 Canon，兩大公司生產的光罩是 IC 製造時的重要設備，以及半導體製造商東芝，日本在半導體的國家政策，提供了 7740 億日元來補助半導體產業，大部分的補助金是用來補助國內先進晶片製造生產能力，其中有 4000 億日元來補助台積電去日本設廠，各大專家也相當看好台積電去日本設廠，由於台積電需要讓產品擁有高良率，而日本人擁有的敬業精神及高紀律性都是我們能看好台積電日本廠能有好成績的理由，甚至前景比美國的亞利桑那廠更好。

韓國在半導體產業主要的公司以三星與 SK 海力士為主，三星集團的三星電子以垂直整合模式來經營，從產品的研發、製造、組裝到銷售是一手包辦，三

星不只是智慧型手機、電視及各式家電的品牌，也是多角化經營的跨國公司，在晶圓製造上也是台積電不可忽視的對手。韓國半導體的國家政策，提供補助與稅制優惠來助半導體產業發展車用半導體，在 2021 年公布 K 半導體戰略，這個戰略的目標為要建設全球最大的半導體生產地及在未來的 10 年將投資 510 兆韓元。

中國大陸主要半導體為中芯國際(SMIC)為中國規模最大晶圓製造公司，現任執行長也曾任職於台積電及海思半導體為大陸近年營收最高的 IC 設計公司，設計的 IC 用於監視器，凸顯中國大陸政府對監視器的高需求。中國半導體的國家政策，在十四五規劃裡，將在 2025 年半導體產業的自給率達到 70%，投入高達 10 兆人民幣，及先進製程、IC 設計、先進封裝技術與完整第三代半導體產業鏈進行強化，提供稅收優惠來鼓勵自己半導體產業的進步，目前台積電在上海有 8 吋晶圓廠及位於南京的十二吋晶圓廠。

## 七、新世代半導體計畫

面對全球產業局勢變動與新興技術崛起，政府已於 2020 年提前因應建立我國半導體先進製程生態圈，規劃「Å 世代半導體計畫」，國科會於 2021 年起攜手經濟部陸續推動 Å 世代半導體、化合物半導體、關鍵新興晶片設計等計畫，期望在 2030 年矽製程超越全球，從製程、人才、技術等方向，對內促進我國整體半導體產業鏈之共榮互惠；對外減少被國外掌控設備、材料、軟體，穩固國際戰略地位及擴大資通訊應用。由國科會主辦，經濟部協辦的「2023 臺灣半導體產學論壇暨半導體領域專案成果發表會」，布局下世代半導體前瞻技術研發與高階研發人才培育，重要亮點成果如下：

### (一)提早布局次奈米尺度的 Å 世代半導體

Å 世代半導體本計畫將推動下一個十年半導體產業所需的前瞻元件與電路、材料、製程檢測技術之先期布局，以「科學超前佈署」的創新思維，突破現有框架的創新解決方案，探索 2030 年等效次奈米半導體量產技術之關鍵問題，維持台灣半導體產業持續領先的地位。

主要有下列三項計畫：

1. Å 尺度半導體關鍵檢測技術
2. 關鍵半導體元件材料
3. 次奈米半導體元件與晶片關鍵技術

### (二)聚焦於更高頻、耐高壓的化合物半導體元件

隨著 5G、電動車時代來臨，科技產品對於高頻、高速運算、高速充電的需求上升，第一代的「矽」與第二代的「砷化鎵」的溫度、頻率、功率已達極限，難以提升電量和速度；一旦操作溫度超過 100 度時，前兩代產品更容易故障，因此無法應用在更嚴苛的環境；再加上全球開始重視碳排放問題，因此高能效、低能耗的第三代半導體成為時代下的新寵兒。第三代半導體在高頻狀態下仍可以維持優異的效能和穩定度，同時擁有開關速度快、尺寸小、散熱迅速等特性，當晶片面積大幅減少後，有助於簡化周邊電路設計，進而減少模組及冷卻系統的體積。

## 三代半導體材料比較

	第一代半導體	第二代半導體	第三代半導體
材料	矽(Si)	砷化鎵(GaAs)	氮化鎵(GaN)、 碳化矽(SiC)
性能	功率、增益 、效率較差	功率、增益 、效率適中	耐高溫、 高功率、高效率
成本	低	中	高
應用	CPU、GPU、DRAM等 應用在消費性產品 ，如電腦、手機	3D感測(VCSEL) 、光通訊(LD)、 射頻元件(RF)	快充變壓器、光達 (Lidar)，應用在電動 車、風電等充電儲能

資料來源：施羅德投信整理

製表：孫彬訓

圖 7 第一代至第三代半導體材料比較 (資料來源: 施羅德投信整理)

### (三) 關鍵新興晶片 布局 AI 晶片運算與通訊晶片設計

關鍵新興晶片研究計畫聚焦 2025~2030 下世代所需之晶片設計關鍵技術先期布局，帶動下世代運算、通訊晶片技術及相關前瞻晶片系統 EDA 設計，並培植高階晶片設計研發人才。

半導體是未來 5G/6G、AI、淨零排碳、量子電腦、精準健康、電動車、低軌衛星等新興科技的核心，以我國的半導體實力為利基，可以開創發展新興應用機會，期許在跨部會合作平台下，2035 年半導體產業不論是製程、設備、材料、晶片設計都得以延續我國在半導體產業的領先優勢，為下世代半導體技術奠定基礎。

## 參、產業概況與技術介紹

摩爾定律即將到達極限後，先進封裝開始崛起，產業從平面封裝往堆疊封裝進行發想，堆疊時會遇到的問題，台積電的開放式創新平台為什麼需要 **3D Fabric 聯盟**，將在本章由傳統的封裝技術探討。

### 一、SoC 系統單晶片(System on a Chip, SoC)

傳統封裝技術是將處理器(CPU)、記憶體、邏輯元件、類比元件等「數個」功能不同的晶片(Chip)，分別封裝成「數個」不同的積體電路(IC)，系統單晶片技術是將數個功能不同的晶片(Chip)，整合成「一個」具有完整功能的晶片(Chip)，再封裝成「一個」積體電路(IC)。

#### 系統單晶片的優點

1. 減少體積：以印刷電路板(PCB)組合數個不同功能的積體電路(IC)，體積較大；如果整合成一個 SoC 晶片，則體積變小。
2. 減少成本：需要封裝測試多顆積體電路(IC)成本較高；如果整合成一個 SoC 晶片，只需要封裝測試一顆積體電路(IC)，成本較低。
3. 降低耗電量同時提高運算速度：以印刷電路板(PCB)組合數個不同功能的積體電路(IC)，電訊號必須在印刷電路板上傳送較長的距離才能進行運算，耗電量較高，運算速度較慢；如果整合成一個 SoC 晶片，電訊號在同一個積體電路(IC)內傳送較短的距離就能進行運算，耗電量較低，運算速度較快。
4. 提升系統功能：將不同功能的積體電路(IC)整合成一個 SoC 晶片，體積較小，可以整合更多的「功能單元」，形成功能更強大的晶片。

### 二、SiP 系統級封裝(System in a Package, SiP)

將數個功能不同的晶片(Chip)，直接封裝成具完整功能的「一個」積體電路(IC)，稱為「系統級封裝(SiP：System in a Package)」。前段提到，將不同功能的積體電路(IC)整合成一個 SoC 晶片，稱為「系統單晶片(System on a Chip, SOC)」，如圖 8 所示，有許多困難需要克服，那就改變方法，直接將它們封裝成一個積體電路(IC)。例如：將個人電腦的處理器(CPU)與北橋晶片(MCH)封裝成一個積體電路(IC)，如圖所示，此時仍然是兩個獨立的晶片，只是封裝在同一個外殼而已，困難度大為降低，在某些特別的應用上，甚至可以將被動元件、連接器、天線等一起封裝進去。

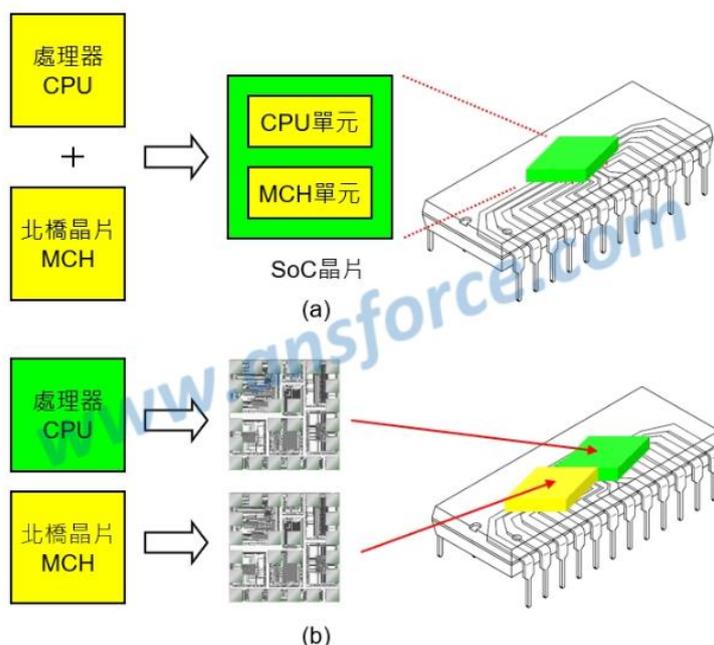


圖 8 SoC 與 SiP 示意圖 (資料來源:Ansforce)

### 系統級封裝的優點

減少體積：將不同功能的晶片與被動元件封裝成一個積體電路(IC)，體積較小有利於應用在手機、筆記型電腦等小型裝置，但是仍然比 SoC 晶片體積大一些。比 SoC 晶片容易整合：SoC 晶片不同「功能單元」之間的製程技術不同，要製作在一塊矽晶片上非常困難；系統級封裝(SiP)只是將不同功能的晶片與被動元件封裝成一個積體電路(IC)，容易許多。

1. 降低印刷電路板線路複雜度：將不同功能的晶片與被動元件封裝成一個積體電路(IC)，可以減少印刷電路板上的積體電路(IC)，降低線路的複雜度，減化印刷電路板上的設計。
2. 提升系統功能：將不同功能的晶片與被動元件封裝成一個積體電路(IC)，可以整合更多不同功能的元件，提升系統的功能，反應速度也會變快。
3. 加快產品上市時間：系統級封裝(SiP)製程較系統單晶片(SoC)容易，可以加快產品上市的時間。

傳統個別封裝技術、系統單晶片(SoC)、系統級封裝(SiP)的比較，基本上系統單晶片(SoC)具有較多的優點，但是技術困難度較高，因此遇到無法整合成單一 SoC 晶片的時候，常常使用系統級封裝(SiP)來取代。

### 2.2.1 PiP (Package in Package)封裝

系統級封裝(SiP)可以左右堆疊，如圖 9(a)所示，也可以上下堆疊，如圖 8(b)所示，另外一種類似的封裝方式稱為「PiP(Package in Package)封裝」，就是把兩個封裝好的積體電路再堆疊起來，如圖 9(c)所示。由於手機需要很小的體積，目前都是把處理器與記憶體兩個晶片封裝成一個積體電路(IC)來縮小體積，但是通常生產處理器的廠商並不生產記憶體(韓國三星公司例外)，因此處理器廠商必須向記憶體廠商購買記憶體晶片，再與自己生產的處理器晶片封裝成一個積體電路(IC)才能出貨，如果良率不夠高，封裝時不小心弄壞了記憶體只能報廢，再將報廢的費用轉嫁到產品上，所以售價很難有競爭力。

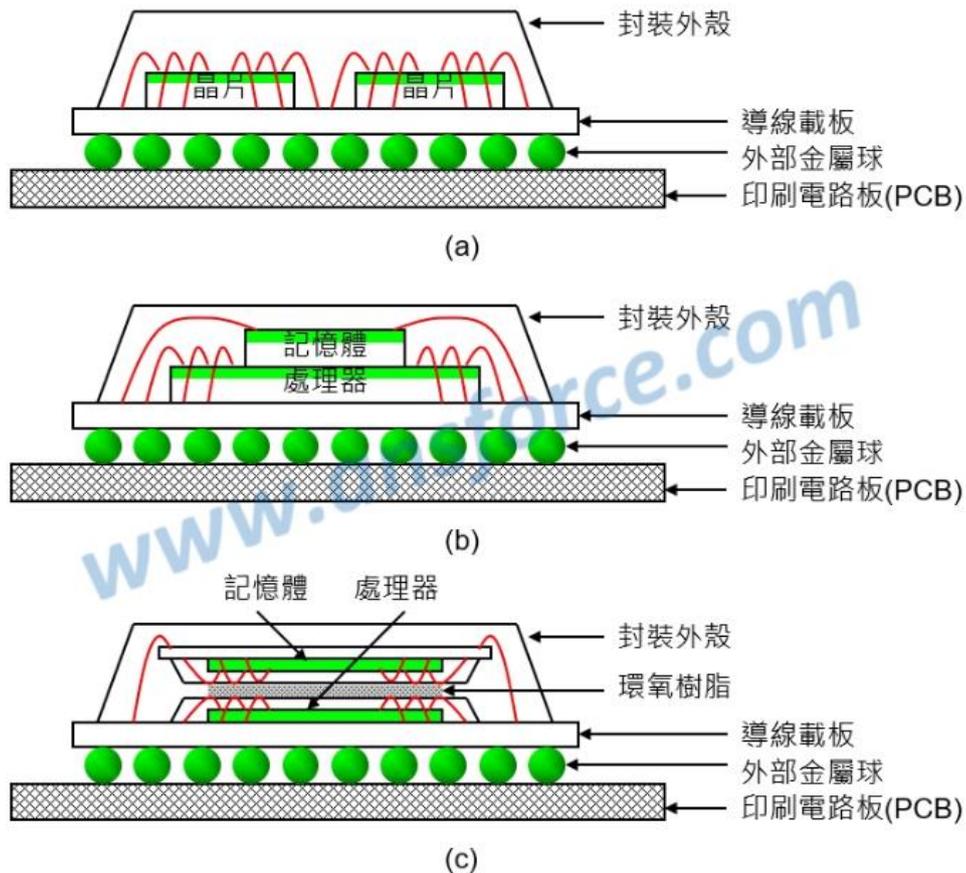


圖 9 PiP 封裝 (資料來源:Ansforce)

### 2.2.2 PoP (Package on Package)封裝

將記憶體封裝成一個積體電路(IC)，但是這個封裝外殼比較特別，在下方可以連接金屬球，上方的四周圍也可以，而處理器封裝成另外一個積體電路(IC)，在下方的四周圍可以連接金屬球，所以處理器可以疊在記憶體上面，如圖 10 (a)所示，我們稱為「PoP(Package on Package)封裝」，當然上方的處理器或下方的記憶體可以使用「打線封裝」或「覆晶封裝」，如圖 10(b)所示。使用這種方法，生產處理器的廠商就不需要再向記憶體廠商購買記憶體晶片，而是由生產手機的廠商自己想辦法解決處理器與記憶體兩個積體電路(IC)疊起來的良率問題，對生產處理器的廠商而言比較方便，售價也比較有競爭力。

IC 基板的技術，分為 IC 與基板的連接方式，及基板與 PCB 的連接方式。IC 與基板的連接方式，分為覆晶 (Flip Chip, FC) 及打線 (Wire Bounded, WB)，FC 是將晶片正面翻覆，以凸塊直接連接基板，該承載基板即稱為覆晶載板，作為晶片與電路板間電性連接與傳輸的緩衝介面。

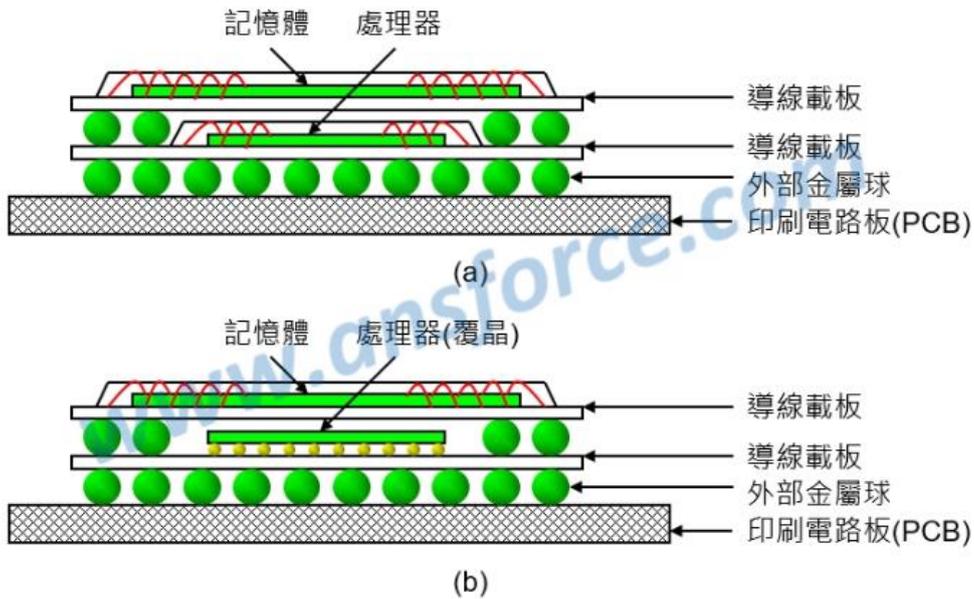


圖 10 PoP 封裝 (資料來源:Ansforce)

憑藉創新的鍵合方案，SoIC 技術為晶片 I/O 提供了強大的鍵合間距可擴展性，從而實現高密度晶片間互連。鍵距從低於  $10\ \mu\text{m}$  的規則開始。與當前業界最先進的封裝解決方案相比，短晶片到晶片連接具有更小的外形尺寸、更高的帶寬、更好的電源完整性 (PI)、訊號完整性 (SI) 和更低的功耗。

### 三、2.5D 與三維立體封裝

3D-IC 封裝技術是開啟半導體新世代的關鍵，此技術主要是為了應用在五奈米以下先進製程，並為客製化異質晶片鋪路。台積電近幾年推出的 CoWoS 與 InFO 之封裝技術就是為了透過晶片堆疊摸索後摩爾定律時代的路線，而 3D 封裝技術的出現，更強化垂直整合服務的競爭力。未來異質晶片整合將會是未來趨勢，將令處理器、數據晶片、高頻記憶體、CMOS 影像感應器與微機電系統 (MEMS) 等封裝在一起，而此前的技術只能稱為 2.5D。

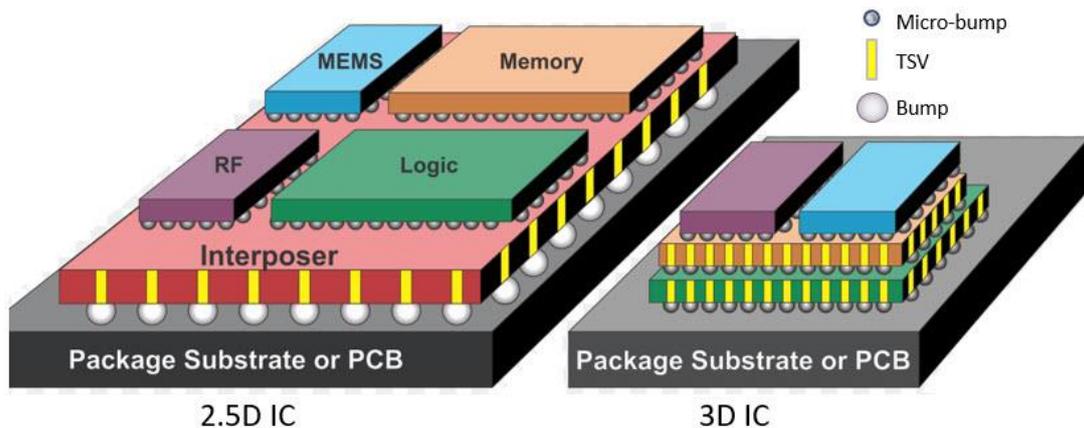


圖 11 2.5D/3D-IC 設計 (資料來源:SIEMENS)

#### 2.5D 立體封裝技術

目前的 2.5D 封裝技術是將處理器、記憶體或其他晶片使用覆晶方式在水平方

向上排列，先經由「微凸塊(Micro bump)」連結在「矽中介板(Silicon interposer)」上方，利用矽中介板裡面微小的水平金屬線來連結左右不同晶片的電子訊號，同時經由「矽穿孔(TSV：Through Silicon Via)」來連結下方的「金屬凸塊(Solder bump)」，最後再經由導線載板連結外部金屬球。

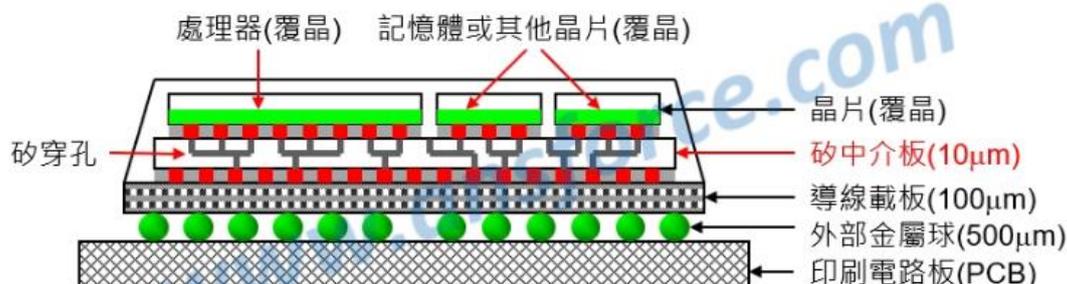


圖 12 2.5D 封裝結構 (資料來源:Ansforce)

### 3D 立體封裝技術

矽穿孔(TSV)是在晶圓上以化學蝕刻或雷射的方式鑽孔，再將導電材料填入形成導電的垂直通道，最後再將晶片研磨使厚度變薄再加以堆疊。而人們口中的3D封裝技術是指在晶片製作電晶體(CMOS)結構，並且直接製作矽穿孔(TSV)來連結上下不同晶片的電子訊號，如下圖所示，在處理器晶片製作電晶體(CMOS)結構再製作矽穿孔(TSV)，可以直接將記憶體或其他晶片垂直堆疊在上面，達成異質晶片整合。

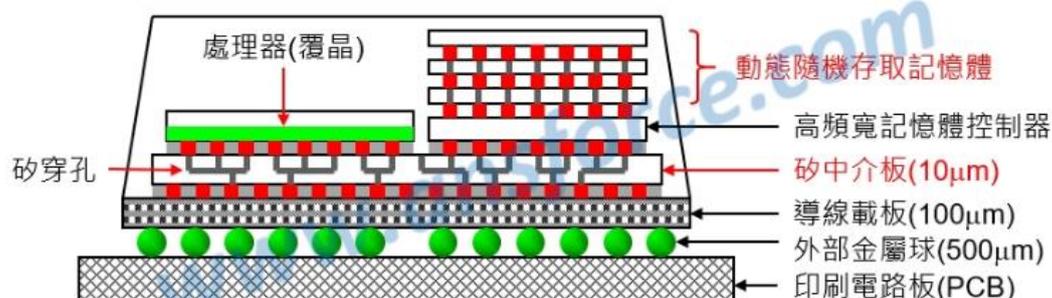


圖 13 3D 封裝結構 (資料來源:Ansforce)

表 2 SiP、SoC、3D-IC 對比

	SiP	SoC	3D-IC
特色	不同晶片組成一個系統	一個晶片就是一個系統	晶片堆疊
效能	較低	適中	較高
體積	較大	較小	較大
設計難度	較低	適中	較高
整合度	較低	適中	較高
是否遵守摩爾定律	超越	遵守	超越

(資料來源:本研究整理)

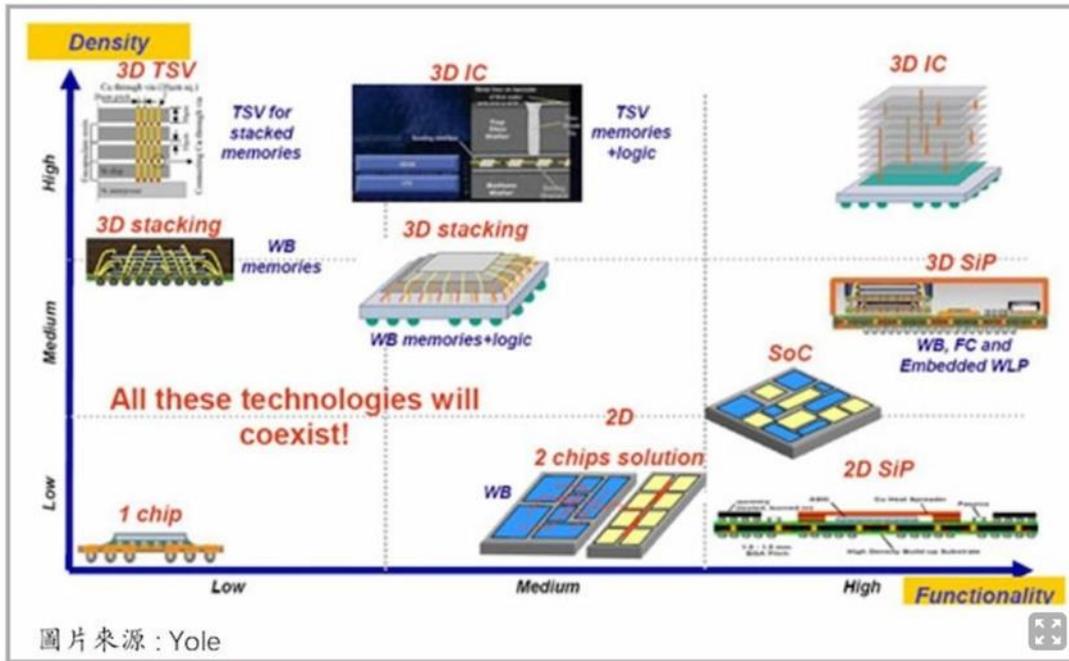


圖 14 IC 封裝的應用領域

#### 四、台積電先進製程技術介紹

目前的製程技術正在從成熟製程轉變為先進製程，台積電來定義的話，7 奈米以下就稱為先進製程，而要如何提升先進製程技術的良率，是台積電目前積極解決的問題，這也是為什麼台積電需要花費大量金額投資 3D-IC 相關技術，3D-IC 相關技術不僅是未來趨勢，更是先進製程技術能更加進步的關鍵，想往 2 奈米、甚至是 1 奈米，若沒有更加完善的 3D-IC 相關技術是沒辦法提升良率，現在的台積電甚至為了降低效能提高良率研發 N3E 製程。

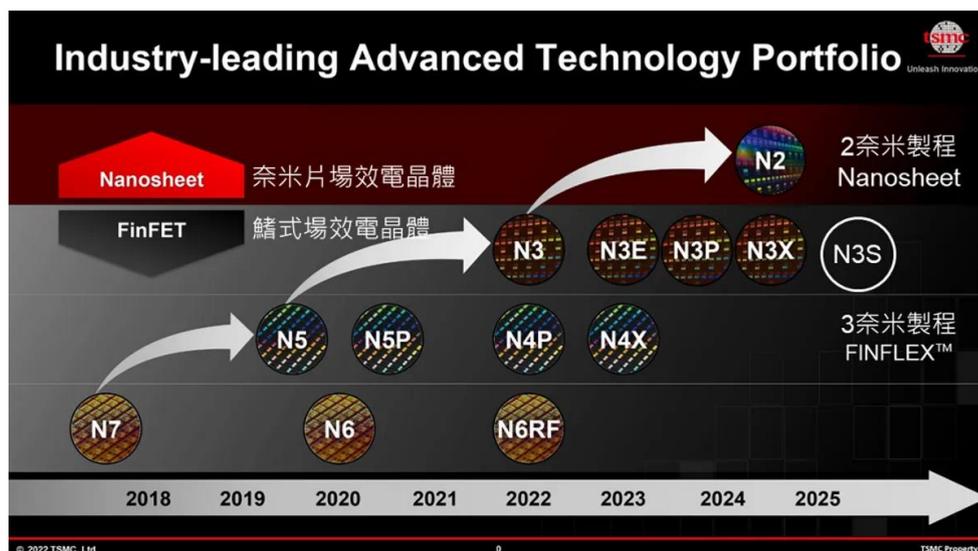


圖 15 先進製程技術組合 (資料來源:台積電)

台積電目前的 3 奈米技術是使用 FinFET 技術，目前預計在 2 奈米製程換成 GAAFET，雖然三星在 3 奈米製程就已經使用 GAAFET 技術，但眾所皆知三星一直以來的問題就是良率不佳，台積電應是顧忌良率問題才選擇 FinFET 技術。

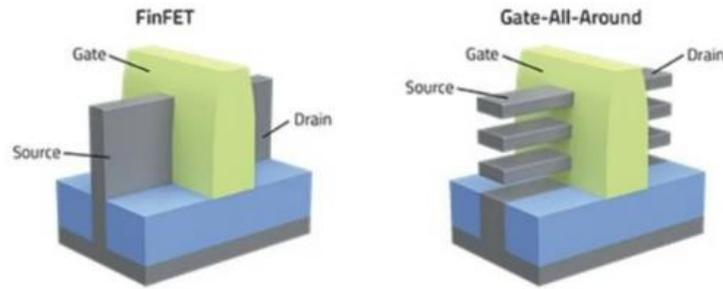


圖 16 FinFET 與 GAAFET 技術(資料來源: Lam Research)

並由第二章超摩爾定律敘述中得知，先進製程的成本已經越來越高，因此，就有了先進封裝的產生，先進製程的良率也是一大問題，現在甚至捨去效能並增加良率，良率不佳導致的是更高的成本，若是成本高於預期，此技術也無法繼續使用下去。

## 五、台積電先進封裝技術介紹

為了延續摩爾定律，將製程縮小至 2 奈米甚至 1 奈米，更好更先進的封裝技術是必須的，由專利檢索結果可得知台積電也相當早就開始對此開始布局。半導體價值除了從摩爾定律降低成本外，先進封裝也是增加半導體價值的方式，SoIC 與先進封裝是台積電研發的二隻腳之一，將會繼續投資研發，這部分的研發費用是台積電 4 分之 3 的先進研發投資部分。

近期市場傳出 Nvidia 對台積電 CoWoS 先進封裝需求擴增，帶動台積電需擴充 CoWoS 封裝產能，且董事長劉德音表示，由於最近 AI 需求迅速增加，ChatGPT 很多訂單都到台積電，這需要先進封裝的技術，以致於需求遠大於台積電現有的產能，台積電因此被迫急需增加產能。

從 2023 的市場景氣來看，以封裝量能而言，依然還是蘋果 (Apple) iPhone 應用處理器 (AP) 的 InFO\_PoP 為最大宗。除了上述，台積電後續還會將先進封裝產能擴充重點，放在 CoWoS 技術，輔以 3D 晶圓堆疊的 SoIC，畢竟，前、後段 3D 整合的「SoIC+CoWoS」，仍是未來解決 HPC 晶片面臨摩爾定律放緩的關鍵要點。

AI 的發展，約 2012 年開始是深度學習，2023 年發表 ChatGPT，這兩個都是 AI 技術的突破。過去台積電的營收高比重是手機，到 2022 年，高效能運算 (HPC) 營收比重已超過手機，AI 到來將會更明確，但不代表手機會萎縮，目前 AI 應用都在資料中心 (data center)，但包括 Intel 等業者都提到 AI 的應用也會到手機與電腦產品中。

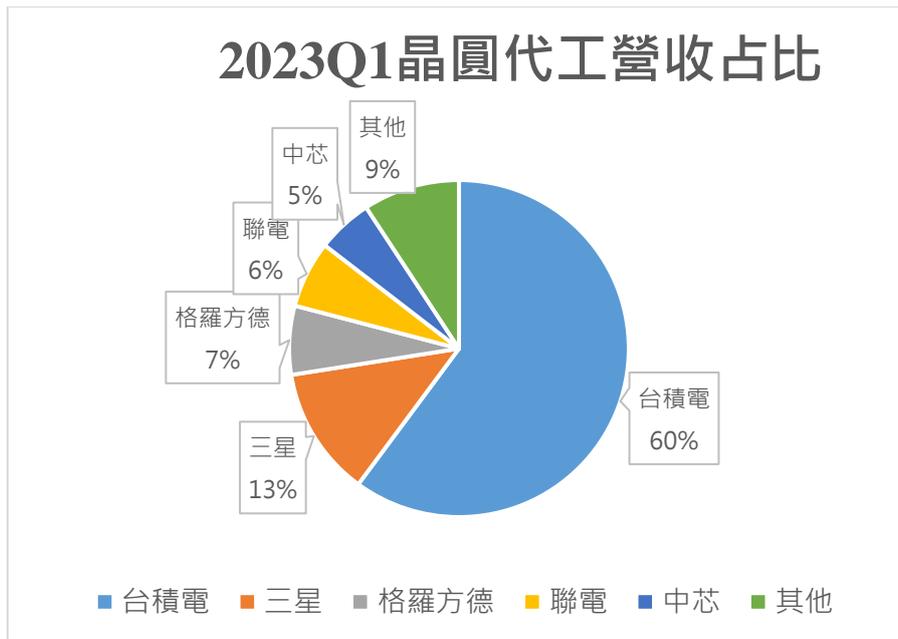


圖 17 2Q23 台積電銷售分析(資料來源:台積電)

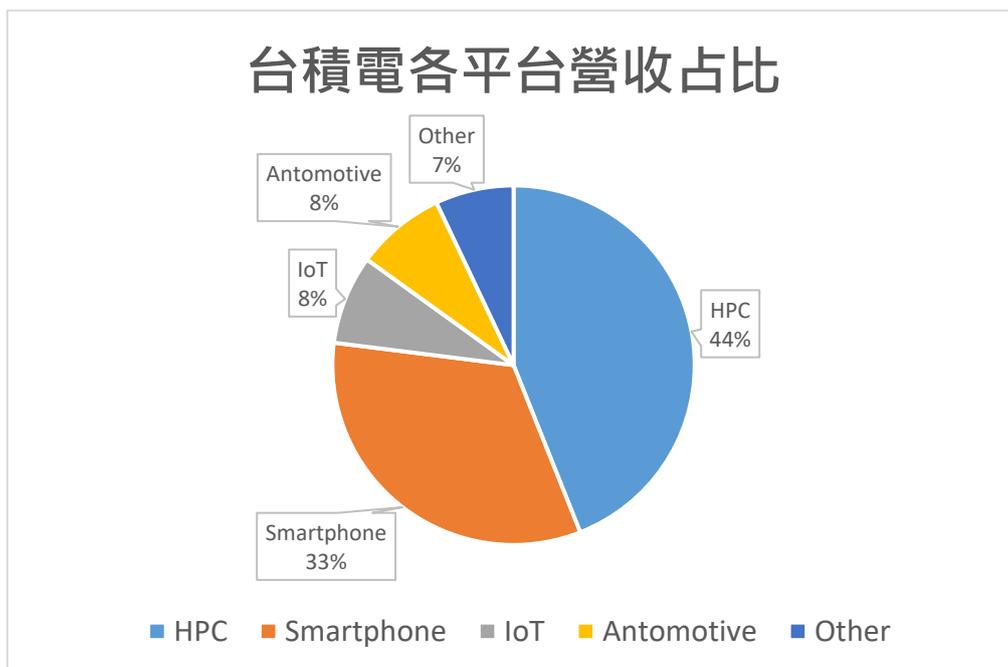


圖 18 2Q23 台積電各技術平台營收占比(資料來源:台積電)

最後，我們也能從最新的台積電法說會裡的 2023 年第二季營收比重觀察到，高效能運算(HPC)的比重超越了智慧型手機，先進製程方面也突破 53% 的營收占比，傳統的製程也將慢慢遭到淘汰，由於 Chat GPT 的問世以及人工智慧發展趨勢對台積電提供了相當大的訂單，也是一個未來趨勢的展現。

## 六、台積電開放創新平台(The TSMC Open Innovation Platform)

台積公司開放創新平台 (OIP) 匯集客戶與夥伴的創新思考，秉持縮短設計時間、縮短量產時程、加速產品上市時間並加快獲利時程之共同目標，提高

首次投片即成功的機會具體優點是：

- 能縮短設計時間
- 降低量產時程
- 加速產品上市時間
- 最終能加快獲利時程

台積公司 OIP 由六個聯盟組成：電子設計自動化（EDA）聯盟、矽智財（IP）聯盟、設計中心聯盟（DCA）、價值鏈聯盟（VCA）、雲端聯盟，以及最新成立的 3D Fabric 聯盟。

表 3 OIP 聯盟

OIP 六大聯盟	概況
電子設計自動化（EDA）聯盟	通過結合台積電和 EDA 聯盟成員的研發能力和資源，新一代的 EDA 解決方案能夠符合台積電的技術要求。這有助於客戶在更短的時間內更好地實現其購電協議目標。
矽智財(IP)聯盟	主要和領先的 IP 公司，提供半導體行業最大的經過矽驗證、生產驗證和晶圓代工廠專用的知識產權 (IP) 目錄。IP 聯盟成員可以訪問台積電技術數據庫來設計其 IP，並分配專門的客戶經理，並獲得台積電 IP 技術支持團隊的專門支持。
設計中心聯盟（DCA）	台積電設計中心聯盟（DCA）專注於晶片功能服務和系統級設計解決方案支持，以降低客戶採用台積電技術的設計門檻。
價值鏈聯盟（VCA）	VCA 成員是與台積電密切合作的獨立設計服務公司，幫助系統公司、ASIC 公司和新興初創客戶將創新成果投入生產。VCA 將設計支持構建模組整合到台積電的開放式創新平台 (OIP) 中，並在 IC 價值鏈的每個環節提供特定服務，包括 IP 開發、設計後端、晶圓製造、組裝和測試。
雲端聯盟	台積電與頂級雲端服務合作夥伴合作，提供全球最大的雲計算能力。通過台積電認證的雲安全，確保客戶在雲端安全地進行 IC 設計的數據保護。OIP 虛擬設計環境（VDE）建立在這個基礎之上，使客戶能夠首次在雲端進行 IC 設計，從而降低進入門檻。
3D Fabric 聯盟	新成立的 3D Fabric 聯盟成員能夠及早取得台積電公司的 3D Fabric 技術，使得他們能夠與台積電公司同步開發及最佳化解決方案，也讓客戶在產品開發方面處於領先地位，及早獲得從 EDA 及 IP 到 DCA /VCA、記憶體、委外封裝測試(Outsourced Semiconductor Assembly & Test, OSAT)、基板及測試的最高品質與既有的解決方案及服務。

(資料來源:本研究整理)

「開放創新平台」結合半導體設計產業、台積公司設計生態系統合作夥伴、台積公司的矽智財（IP）、設計應用、可製造性設計服務、製程技術以及後段封裝測試服務，帶來最具時效的創新。至今已有超過 1 萬 2,000 個元件矽智財與資料庫。目前在 TSMC-Online 上，提供超過 8,200 個技術檔案及超過 270 個製程設計套件，民國 105 年客戶下載使用技術檔案與製程設計套件已超過 10 萬次。



圖 19 開放創新平台架構 (資料來源:台積電)

## 七、3D Fabric 聯盟

半導體已經確立了其作為真正重要技術的地位。從汽車和數據中心到物聯網、智能手機和高性能計算相關應用等各個領域的矽含量不斷增加，它們的重要性將在所有行業中不斷增加。這些現代工作負載將封裝技術推向了創新的前沿，因為它們對於產品的性能、功能和成本至關重要。因此，產品設計必須採用更全面的系統級最佳化方法。

3D 矽堆疊和先進封裝技術打開了晶片級和系統級創新新時代的大門，但它們需要廣泛的生態系統協作，以幫助設計人員通過無數可用的選項和方法找到最佳路徑。這就是為什麼台積電除了在 EDA、IP、DCA、雲端和 VCA 方面現有的 OIP 生態系統合作夥伴關係之外，還在 2022 年推出了「3D Fabric 聯盟」，該聯盟為客戶提供了一種簡單靈活的方式，讓他們可以使用台積電的 3D Fabric 技術在其設計中釋放 3D IC 的強大功能，全面的 3D 矽堆疊和先進封裝技術系列。

通過 3D Fabric 聯盟，台積電在以下七個領域與聯盟成員合作，提供全方位的最高質量、隨時可用的解決方案和服務，以滿足客戶在 EDA 工具和流程、IP 的所有相關設計階段的 3D IC 設計需求和存儲器組件、設計服務以及後端流程（包括 OSAT、基板 and 測試），以幫助客戶交付優質的系統產品。

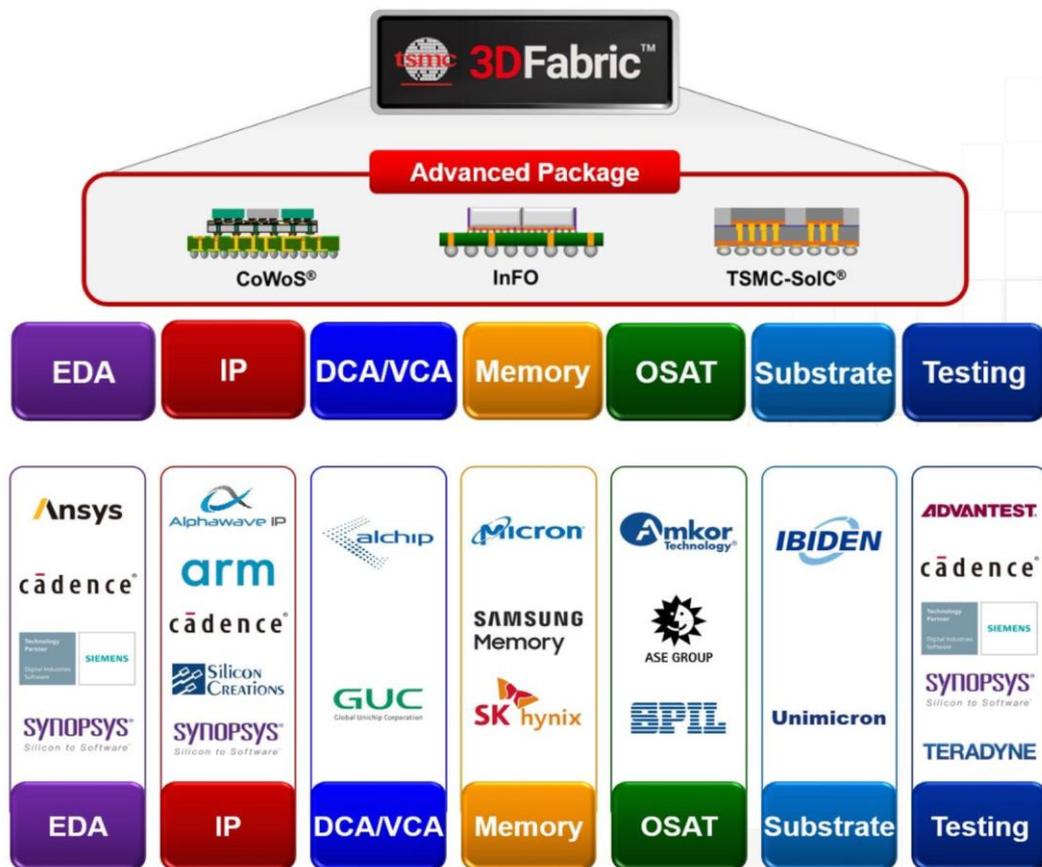


圖 20 3D Fabric 聯盟及成員 (資料來源:台積電)

**原 OIP 聯盟成員:**

EDA(IC 設計):Ansys(安矽思)、Cadence(義華)、Siemens(西門子)、Synopsys(新思科技)

IP: Alphawave(艾爾波)、Arm(安謀)、Cadence(義華)、Silicon Creations(凱為)、Synopsys(新思科技)

DVA/VCA: Alchip(世芯)、GUC(創意)

**3D Fabric 聯盟創立後新增加之成員:**

Memory(記憶體):Micron(美光)、SAMSUNG(三星)、SK Hynix(SK 海力士)

OSAT(封測):Amkor(艾克爾)、ASE GROUP(日月光)、SPIL(矽品)

Substrate(基板):IBIDEN(揖斐)、Unimicron(欣興)

Testing(測試):ADVANTEST(愛德萬)、Cadence(義華)、Siemens(西門子)、Synopsys(新思科技)、Teradyne(泰瑞達)

據半導體業者估計，全球前五大 OSAT 廠分別約是日月光半導體、Amkor、長電集團、矽品、力成，日月光半導體併購矽品後，市佔率估計仍有約 35% 以上，穩坐 OSAT 產業龍頭。由此可知世界前 2 大封測廠都已加入此聯盟，不管是哪項半導體領域，只要是技術龍頭都已加入此聯盟，就像是全世界在像摩爾定律發出挑戰，想要成功延續超摩爾定律，就必須結合半導體產業各界的力量，各專家都相當看好此未來發展。

## 八、TSMC 3D blox 開放標準

為了克服日益複雜的 3D-IC 設計，台積電推出了台積電 3D blox 標準，將設計生態系統與經由驗證的 EDA 工具與流程加以結合，以支援台積電的 3D Fabric 技術。模組化的台積電 3D blox 標準旨在以單一格式制定 3D-IC 設計中的**關鍵物理堆疊及邏輯連接資訊**。

台積電公司已與 3D Fabric 聯盟中的 EDA 夥伴合作，讓 3D blox 全面適用於 3D-IC 設計，包括物理實作、时序驗證、物理驗證、電遷移 IR 壓降 (EMIR) 分析及熱分析等。台積電 3D blox 的目的在於將**靈活性與易用性**最大化，提供最佳的**3D-IC 設計生產力**，同時將基板和測試夥伴導入生態系統，是業界首個加速電子設計自動化，和互操作性的 3D-IC 設計標準。

## 九、3D Fabric 技術介紹

台積電提出的 3D Fabric 概念，涵蓋所有 3D-IC 技術(CoWoS、InFO、SoIC)

1. 基板上晶圓上晶片封裝(Chip on Wafer on Substrate, CoWoS)
2. 整合扇外型封裝(Integrated Fan-out, InFO)
3. 系統整合晶片(System on Integrated Chips, SoIC)

表 4 3D Fabric 相關技術

先進封裝平台	3D Fabric			
製程區分	後段 3D 先進封裝		前段 3D 晶片堆疊	
封裝技術名稱	InFO (Chip First)	CoWoS (Chip Last)	TSMC-SoIC (系統整合晶片)	
			WoW	CoW
技術名稱	整合扇外型 封裝	基板上晶圓上 晶片封裝	晶圓堆疊 晶圓封裝	晶片堆疊 晶圓封裝
封裝結構分類	2.5/3D-IC	2.5/3D-IC	3D-IC	3D-IC

(資料來源:工商時報)

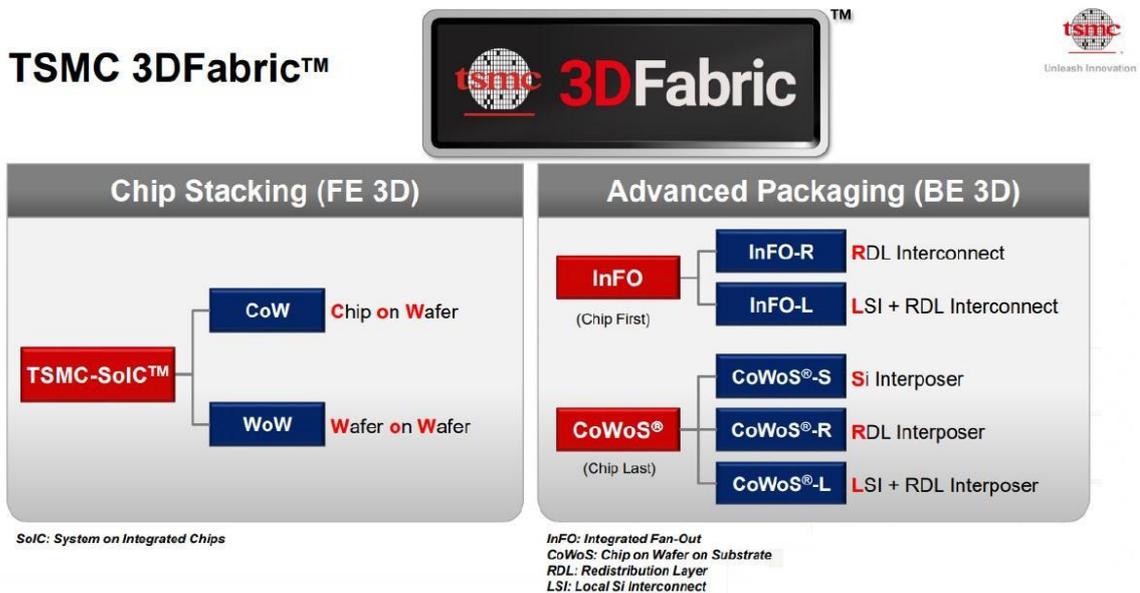


圖 21 台積電 3D Fabric 相關技術 (資料來源:台積電)

### 3.9.1 TSMC-SoIC 技術介紹

SoIC 是業界第一個高密度 3D 小晶片堆疊技術。這種多晶片堆疊技術沒有突起的金屬凸塊(Bump)接合結構，取而代之的是更短的訊號傳輸路徑，可將不同尺寸、功能、節點的晶粒進行異質整合，且可對 10 奈米以下的製程進行晶圓級的接合技術。利用晶圓對晶圓的接合技術，進行所有晶片金屬接點接合，不僅能持續維持半導體元件摩爾定律優勢，也可望進一步突破單一晶片運行效能，實現多晶片運算情境。2.5D 設計是將兩個以上的晶片放在彼此旁邊，下方有中介層的通道通過，而 SoIC 則是將兩個晶片或是晶圓，以面對面的方式直接堆疊接合。SoIC 技術適用於運算速度最快的高效能產品，但其技術挑戰也最高，必須提升堆疊晶片的良率與可靠度。

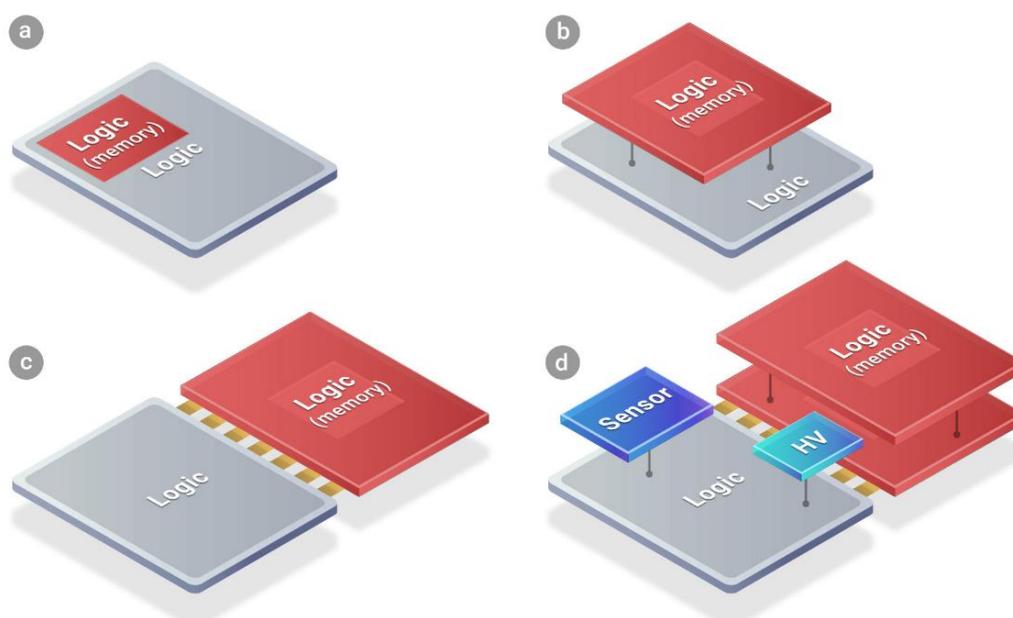


圖 22 台積電 SoIC 堆疊技術 (資料來源:台積電)

Technology	2.5D	3D-IC	SoIC
Structure cross-section			
Interconnect	$\mu$ bump + BEOL	$\mu$ bump	SoIC bond
Bump Density	1.0X	1.0X	16.0X
Speed	0.01X	1.0X	11.9X
Bandwidth Density	0.01X	1.0X	191.0X
Power Efficiency (Energy/bit)	22.9X	1.0X	0.05X

圖 23 台積電的 SoIC 及 2.5D/3D-IC 比較 (資料來源：ISSCC 2021)

根據台積電官方介紹，公司的 SoIC 服務平臺提供創新的前段 3D 晶片間堆疊技術，用於重新整合系統單晶片 (SoC) 劃分的晶片，最終的整合晶片在系

統性能方面優於原始 SoC。台積電支持 CoW 和 WoW 方案，而這兩種方案在混合和匹配不同的晶片功能、尺寸和技術節點時提供了出色的設計靈活性。最後，台積電計劃在 2021 年底之前通過 7nm 晶圓上晶片技術的認證，並在 2022 年通過 5nm 晶圓上晶片技術的認證。

### 3D Chip Stacking (SoIC) Solution for HPC



- To qualify N7-on-N7 CoW by end of 2021 and N5-on-N5 CoW in 2022
- Developing Logic-on-DTC (Deep Trench Capacitor) WoW and demonstrated power droop reduction

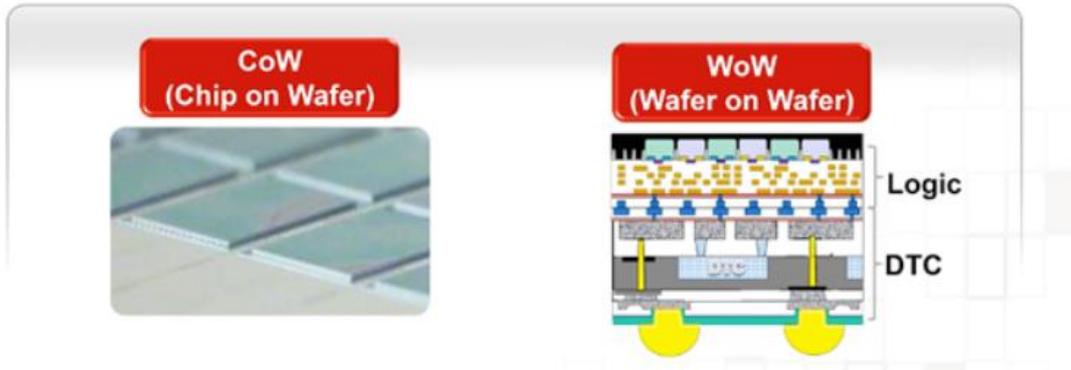


圖 24 台積電 CoW、WoW 方案 (資料來源:台積電)

WoW 晶圓堆疊 (Wafer-on-Wafer Stacking) 和 CoW 晶片堆疊 (Chip-on-Wafer Stacking) 都屬於前端 3D 堆疊，兩者比較如下表所示：

表 5 WoW 與 CoW 概念及優勢比較

	WoW 晶圓堆疊	CoW 晶片堆疊
概念	通過垂直堆疊多個晶圓，將它們連接在一起以實現更高的整合度和系統性能。	將多個晶片垂直堆疊在一個晶圓上。這種堆疊技術可以實現高度整合的晶片系統，同時提供較低的功耗和更高的性能同時縮小尺寸以及減少重量。

優勢	<p><b>1. 高度整合：</b> 通過垂直堆疊多個晶圓，WoW 晶圓堆疊可以在相對較小的封裝空間內實現更多的晶片，從而提高系統的整合度。</p> <p><b>2. 高速和低功耗：</b> 由於晶片之間的連接線短且堆疊內部距離短，WoW 技術可以減少訊號傳輸的延遲，提供更快的數據傳輸速度。同時，較短的連接線還可以降低功耗。</p> <p><b>3. 系統性能提升：</b> WoW 晶圓堆疊技術可以實現不同功能晶片之間的更緊密整合，從而提高整體系統的性能。</p>	<p><b>1.高度整合:</b> 多個晶片可以在同一個晶圓上實現高度整合，從而提供更高的效能。</p> <p><b>2.低功耗和高效能:</b> 由於垂直堆疊使晶片的間距縮短，減少了訊號傳輸距離，降低了功耗和延遲。</p> <p><b>3.尺寸與重量:</b> 由於垂直堆疊的技術使晶片堆疊一起，相較於傳統的封裝技術可以節省許多空間也可以減少重量，對於小型化和輕量化的產品非常有用，例如穿戴式裝置和行動設備。</p>
----	--	---

(資料來源:本研究整理)

### 3.9.2 TSMC-InFO 技術介紹

InFO 技術屬後段 3D 封裝，目前可分為兩種，第一種是扇入型晶圓級封裝 (FIWLP：Fan-in Wafer Level Package)，第二種是扇外型晶圓級封裝 (FOWLP：Fan-Out Wafer Level Package)，3D 堆疊的部分目前技術只有 DRAM 能進行，因此能看見下方的 InFO\_PoP 的圖片上方就是 DRAM，DRAM 可在堆疊後形成 HBM。

目前台積電將 InFO 技術分為兩大類，InFO\_PoP 和 InFO\_os。其中 InFO\_PoP 是業界第一個 3D 晶圓級扇外型封裝，具有高密度 RDL(Redistribution Layer,板級扇出封裝) 和 TIV(Through Interconnect Via,直通互連通孔)，可將移動 AP 與 DRAM 封裝堆疊(Package on Package,PoP)整合以用於移動應用。與 FC\_PoP 相比，InFO\_PoP 由於沒有有機基板和 C4 凸塊，因此具有更薄的外形和更好的電氣和熱性能。台積電此技術最大訂單者就是 Apple 的 iPhone 手機。

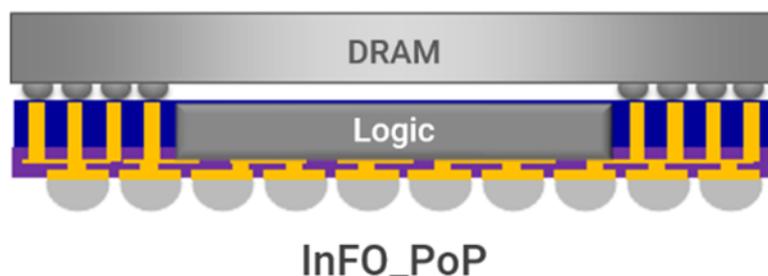


圖 25 InFO\_PoP (資料來源:台積電)

InFO\_os(基板上, on substrate)屬於扇入型晶圓級封裝，利用 InFO 技術並具有更高密度的 RDL 及線寬間距，整合多個先進邏輯晶片，用於 5G 網絡應用。2017 年第 4 季度產量大幅增加。繼續加速在下一代產品中採用晶片封裝方案，

預計將結合更多晶片。

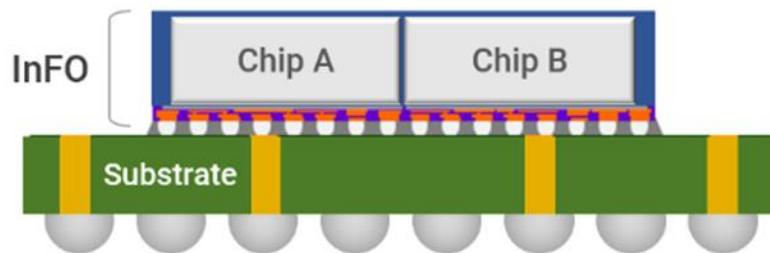


圖 26 InFO\_oS (資料來源:台積電)

### 3.9.3 TSMC- CoWoS 技術介紹

CoWoS (Chip-on-Wafer-on-Substrate) 是屬於後段 3D 先進封裝技術，是一種高度整合的晶片封裝技術。用於將多個晶片和其他元件整合在一個封裝中，以提高整體系統的性能和效能。晶片先被直接放置在晶圓上，然後使用微細的導線連接不同晶片之間的功能區域。晶圓是一塊薄而平整的半導體材料，常用的材料是矽，上面包含多個晶片。晶圓通常具有較大的尺寸，可以容納多個晶片，這樣可以實現更高的整合度。在晶圓上放置晶片後，並將晶片和其他元件連接到封裝的基板(Substrate)上形成 CoWoS。

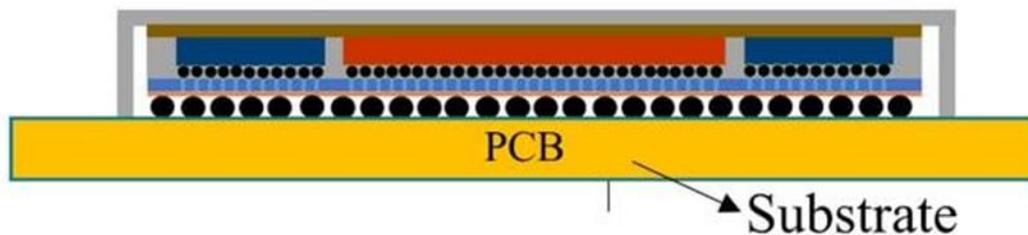


圖 27 CoWoS 技術架構 (資料來源:台積電)

CoWoS 技術的優點是可以實現高度整合的多晶片系統，同時具有較低的功耗和更高的性能。由於晶片直接放置在晶圓上，可以實現更短的互連距離，從而減少了訊號傳輸的延遲和功耗。此外，由於多個晶片可以共享同一個封裝，可以節省空間並提高系統效能。CoWoS 技術被廣泛應用於**高性能計算**、**人工智能**、**高速通訊**和其他需要高度整合和高效能的應用領域。它是半導體封裝技術中的一個重要發展，有助於推動半導體產業的技術創新和系統性能的提升。

台積電根據中介層的不同將 CoWoS 分成三種：

- 1.CoWoS-S(Silicon Interposer)以**矽中介基板(Silicon interposer)**當作中介層
- 2.CoWoS-R(RDL Interposer)導線重佈層
- 3.CoWoS-L (Local Silicon Interconnect and RDL Interposer)

其中 Local Silicon Interconnect 為本地矽互連

#### (一)CoWoS-S (Silicon Interposer)

CoWoS-S 和 CoWoS 最大的差異就是，CoWoS-S 是除了將晶片堆疊在晶圓上之外，還將晶圓放在中介基板上(Interposer)，中介基板有良好的散熱管理，同時提供更高的性能。

## CoWoS®-S Technology

- Silicon interposer 2.5D system integration for advanced SoC and HBM.
- One decade of production with high yield and premium quality
- Continue to enrich the interposer features with extended envelope for HPC

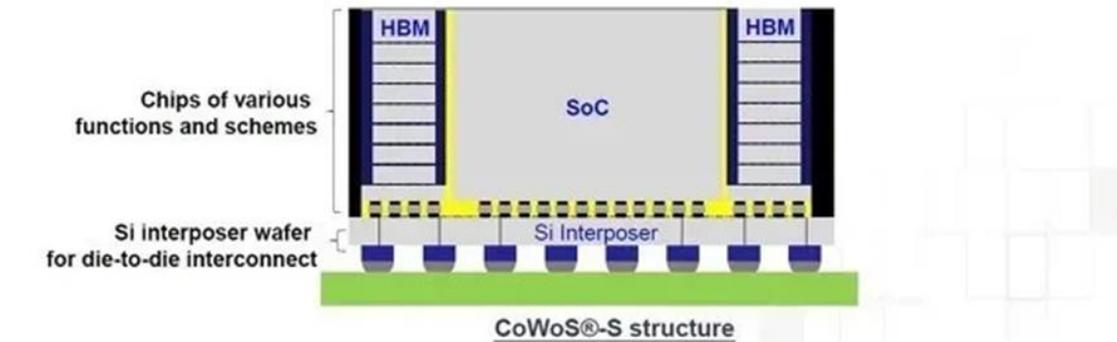


圖 28 CoWoS-S (資料來源:台積電)

### (二)CoWoS-R (RDL Interposer)

RDL Interposer 是具有 RDL (Redistribution Layer) 的中介基板 (Interposer)，其中 RDL 是用於重新分配晶片上的封裝引腳以便與封裝基板的連接，主要目的是當晶片和封裝基板的引腳間距不匹配時，會將引腳重新排列與分佈，使引腳能正確連接。

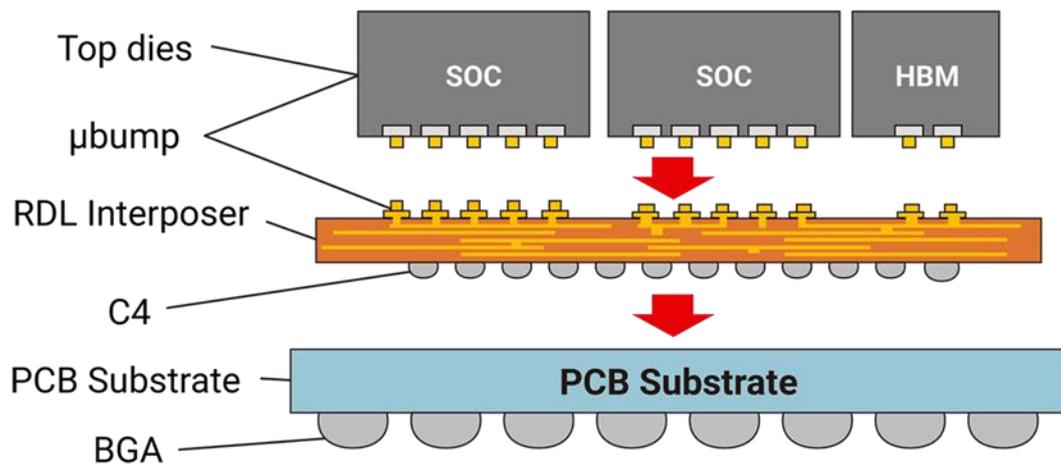


圖 29 CoWoS-R (資料來源:台積電)

### (三)CoWoS-L(Local Silicon Interconnect and RDL Interposer)

CoWoS-L 是將本地矽互連(Local Silicon Interconnect LSI)和 RDL 做結合，其中本地矽互連的技術概念是在晶片的矽基材料上建立互連結構，以實現晶片內部不同區域之間的連接和通訊。本地矽互連在晶片內部直接建立互連，縮短了互連的長度，有助於降低訊號傳輸延遲和功耗，提高系統的性能，並且可以高速傳輸，提供高頻寬的通訊通路，滿足對高速數據處理的需求。

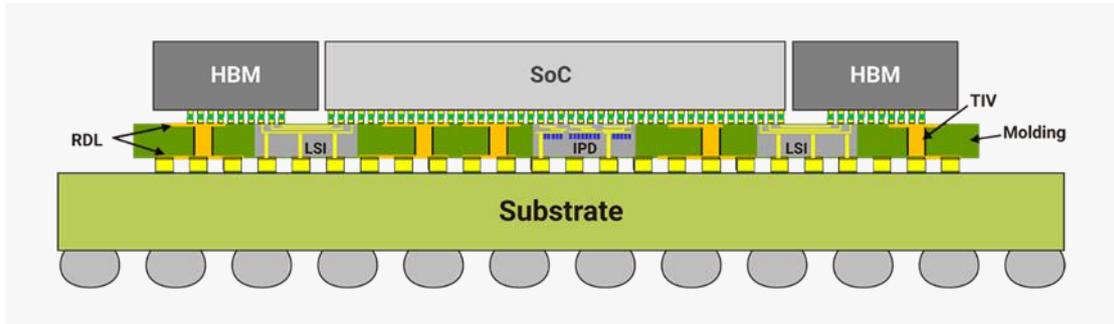


圖 30 CoWoS-L (資料來源:台積電)

如下表所示能台積電的 SoIC 技術能結合更多晶片，上述文章中 InFO 技術介紹中提及並藉此圖驗證台積電的說法，本團隊在後續章節也將延續此圖概念作為延伸及探討。

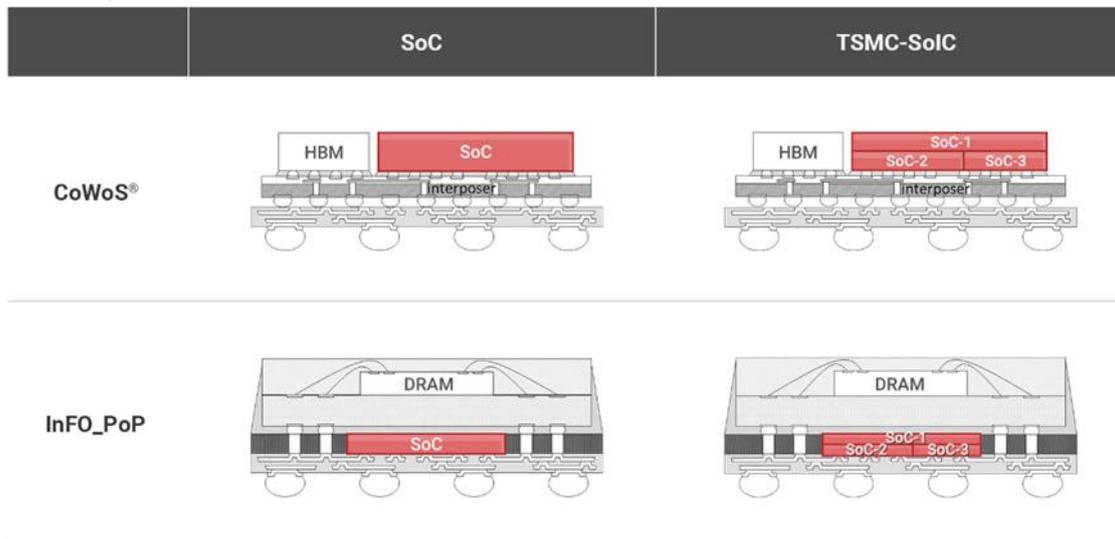


圖 31 3D Fabric 封裝技術簡圖 (資料來源:台積電)

## 肆、專利檢索方法與範圍

### 一、檢索範圍與工具

檢索策略遵守 2023 年經濟部智慧財產局產業專利分析與布局競賽規定，檢索系統主要以經濟部智慧財產局建置的全球專利檢索系統 GPSS (<https://gpss.tipo.gov.tw>) 為搜索依據。



圖 32 全球專利檢索系統 GPSS(資料來源:GPSS)



圖 33 全球專利檢索系統 GPSS 進階檢索 (資料來源:GPSS)

### 二、檢索範圍及 IPC 分類號

目前技術指標為 3D-IC，依台積電的 3D Fabric 聯盟相關技術，3D Fabric 聯盟的 SoIC、CoWoS 和 InFO 系列封裝技術。本團隊將進行一系列的專利檢索，探討台積電相關技術的專利。本研究將資料限縮在台灣、美國、韓國、日本和中國以聚焦在半導體強國。



圖 34 檢索國家分類 (資料來源:GPSS)

本研究資料依經濟部 IPC 資料主題網 2022.01 版查詢相關 IPC 資料分類，藉

由查詢結果對照檢索結果，分析 IPC-4 階及 5 階的內容，使研究資料更佳完整，更能體現目標專利的範圍。

圖 35 展示了 IPC 國際專利分類查詢的網頁介面。該介面包含一個查詢表單，用於選擇版本（目前顯示為 2022.01 版）、輸入分類號、選擇連接詞（目前顯示為 and）以及輸入關鍵字。此外，還設有清除和送出按鈕，以及字體大小調整選項。

圖 35 IPC 分類號查詢 (資料來源:智財局)

### 三、專案資料夾

本團隊依循專利教育訓練的範例，如下圖，將相同公司但不同名稱的案件進行整理，將編修結果正確整理出後，並將其應用至第五章的專利分析圖及技術功效矩陣，並將資料有條理地進行整理，是一個相當實用的專利分析工具。

1. **檢索去重**-將相同案件的公開與公告案只留存 1 筆，或  
**家族去重**-將同 1 案件在各國申請只留原始母案。
2. 案件加入專案資料夾-夾中資料屬於使用者專有。
3. **標準化編修-1 鍵式**將申請人或發明人資料格式化
4. **批次編修**-可以將申請人、發明人、國別、IPC、集團名稱等進行一致化。

## 伍、專利檢索過程與分析

第五章專利分析章節，著重在台積電 3D-IC 相關技術的延伸內容(申請數量、IPC 分類號、發明人、專利權人、專利引證)分析；此外本報告對於技術的檢索條件，都選定為公開/公告日：2010/01/01~2023/06/30，將 2010 年作為一個分界，檢視這些技術在 2010 年代以後的專利申請概況。

### 一、專利檢索過程

這個小節所要探討的是 2010 年至 2023 年之間的專利數量，檢索 2010 年後的專利數量在過程中了解歷年專利申請的動向與重點，去分析歷年來專利申請的相關項目，希望能找尋到其中的趨勢及此技術在當時的重要程度。選擇自 2010 年後的資料，其原因可由圖 5 知 3D-IC 的概念是自 2010 年初開始才逐漸增加關注度。接著本團隊將在第六章以 SoIC、InFO、CoWoS 三項技術作為檢索條件。藉由 GPSS 檢索去重並且使用專案、標準化編修以及批次編修，讓同間公司做整合，讓圖表分析數據更確切的表示數量與內容，本團隊也將申請年技術生命週期，讓資料有更完整的呈現及分析，而本團隊也在過程中多次的做檢索條件的修改，為的是能讓專利案件不重複並找出更符合的案例，並且做出折線圖以及圖表，更能清楚地看出以及對照各個公司的專利數量。

### 二、3D-IC 專利分析及檢索式概念

本團隊將此檢索式分成兩個階段，先初步將 3D-IC 技術及各個國家的名詞輸入進檢索式當中，再將異質晶片、材料及封裝技術個別列出各自的檢索式。3D-IC 多半是聚焦在 H01L 的半導體裝置，因此本研究將在第二次篩選中加入 H01L，並限縮出更符合 3D-IC 的專利。

在下方說明欄位中加入被參考次數，被參考次數越多的專利代表重要性越高，本團隊將列出三星和台積電被參考次數最多的專利。另本團隊震驚的是，台積電所屬的 **Package systems having interposers** 竟然就是 **CoWoS** 技術的模板，從專利檢所網站可得知此技術早在 2010 年就申請了，直到 2015 年才通過，一項技術要從專利申請到技術成熟需要 10 年以上時間，中間花費了大量的時間、人力及金錢，才有台積電現在亮眼的成績。

表 6 3D-IC 檢索式

檢索式概念	完整檢索式(A)	說明
初步利用人工篩選，交叉比對出各國最符合 3D IC 的相關性專利，並在不同國家申請時的關鍵字。	semiconductor AND (3D IC OR three- dimensional functional integration OR 三維積體電路 OR 3D 집적 회로 OR 3 차원)AND ID=2010:20230630	SAMSUNG ELECTRONICS CO., LTD. (KR):Three-Dimensional Semiconductor Memory Devices And Methods Of Fabricating The Same 引證次數高達 767 次，作為本團隊珍珠專利。  TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD. (TW) : Package systems having interposers 專利編號：US09048233B2 引證次數達 604 次

表 7 3D-IC 技術 分類表及其檢索式

字串	意義	關鍵字
1	材料	((Micro bump OR bump OR 범프) OR (interposer OR 中介層 OR 中介片 OR 인터포저) OR (基板 OR substrate OR 기판) OR (PCB OR Printed circuit board))
2	晶片(異質晶片)	((晶片 OR Chip OR 칩렛 OR 晶片) OR (MEMS OR Micro electro mechanical systems OR 微機電系統) OR (記憶體 OR Memory OR 메모리 OR 內存) OR (Logic ic OR 邏輯積體電路) OR (RF OR radio frequency OR 射頻) OR (HBM OR High Bandwidth Memory OR 高頻寬記憶體 OR 고대역폭 메모리))
3	封裝技術	((TSV OR 直通矽晶穿孔 OR Through Silicon Via) OR (SoC OR system on chip OR 系統單晶片 OR 시스템 온칩) OR (SiP OR system in package OR 시스템 인 패키지) OR (PoP OR package on package OR 패키지 온 패키지) OR (PiP OR package in package OR 패키지 인 패키지) OR (CoW OR chip on wafer OR 晶片堆疊) OR (WoW OR Wafer on Wafer OR 晶圓堆疊) OR (Flip Chip OR 覆晶堆疊))

表 8 第一次合併檢索式

檢索式概念	完整檢索式	去重件數	說明	檢索限縮依據
A and (1and2and3) and (AD=20100101:20230630)	((semiconductor AND (3D IC OR three-dimensional functional integration OR 三維積體電路 OR 3D 집적 회로 OR 3 차원) AND ((Micro bump OR bump OR 범프) OR (interposer OR 中介層 OR 中介片 OR 인터포저) OR (基板 OR substrate OR 기판) OR (PCB OR Printed circuit board)) AND ((晶片 OR Chip OR 칩렛 OR 晶片) OR (MEMS OR Micro electro mechanical systems OR 微機電系統) OR (記憶體 OR Memory OR 메모리 OR 內存) OR (Logic ic OR 邏輯積體電路) OR (RF OR radio frequency OR 射頻) OR (HBM OR High Bandwidth Memory OR 高頻寬記憶體 OR 고대역폭 메모리)) AND ((TSV OR 直通矽晶穿孔 OR Through Silicon Via) OR (SoC	原件數: 3855 修改後: 3929	檢索結果與本團隊目標專利擁有高度相關	經團隊論後，這些專利聚焦在半導體裝置，並將 IPC 分類號限縮在 H01L。

	OR system on chip OR 系統單晶片 OR 시스템 온칩) OR (SiP OR system in package OR 시스템 인 패키지) OR (PoP OR package on package OR 패키지 온 패키지) OR (PiP OR package in package OR 패키지 인 패키지) OR (CoW OR chip on wafer OR 晶片堆疊) OR (WoW OR Wafer on Wafer OR 晶圓堆疊) OR (Flip Chip OR 覆晶堆疊))) AND ID=20100101:20230630 [檢索去重]			
--	--	--	--	--

表 9 最終檢索範圍

檢索式概念	完整檢索式	去重件數	說明	建議
A AND (1 AND 2 AND 3) AND (AD=20100101:20230630) AND (IC=H01L*)	((semiconductor AND (3D IC OR three-dimensional functional integration OR 三維積體電路 OR 3D 집적 회로 OR 3 차원) AND ((Micro bump OR bump OR 범프) OR (interposer OR 中介層 OR 中介片 OR 인터포저) OR (基板 OR substrate OR 기판) OR (PCB OR Printed circuit board))) AND ((晶片 OR Chip OR 칩렛 OR 芯片) OR (MEMS OR Micro electro mechanical systems OR 微機電系統) OR (記憶體 OR Memory OR 메모리 OR 內存) OR (Logic ic OR 邏輯積體電路) OR (RF OR radio frequency OR 射頻) OR (HBM OR High Bandwidth Memory OR 高頻寬記憶體 OR 고대역폭 메모리)) AND ((TSV OR 直通矽晶穿孔 OR Through Silicon Via) OR (SoC OR system on chip OR 系統單晶片 OR 시스템 온칩) OR (SiP OR system in package OR 시스템 인 패키지) OR (PoP OR package on package OR 패키지 온 패키지) OR (PiP OR package in package OR 패키지 인 패키지) OR (CoW OR chip on wafer OR 晶片堆疊) OR	原件數: 3318 修改後: 3392	經成員討論此檢索式為最終檢索式	無

	(WoW OR Wafer on Wafer OR 晶圓堆疊) OR (Flip Chip OR 覆晶堆疊))))) AND ID=20100101:20230630 AND (IC=H01L*) [檢索去重]			
--	---	--	--	--

經評審建議後，本團隊加入芯片及內存至檢索式後，專利數從 3318 增至 3392。

### 三、全球 10 大申請人及申請數量

由表 10 可知台積電的申請數量達 1129 筆，大幅領先其他公司，排名第二的 Monolithic 在專利申請數量僅達 297 筆，第三、四名 Intel 和 INVENSAS 都是 133 筆，五到十名公司依序是 Siliconware、Business machines、Samsung Electronics、Applied Materials、Qualcomm、及 OR-Bach，這些公司都不超過 100 筆。由下表 10 第一申請人來看此技術主要還是掌握在台積電，但此技術仍處快速成長的階段，專利布局仍要積極，半導體發展是非常快的，像是近期只用一篇論文就造成世界轟動的 LK-99，也是很好的例子，本團隊認為任何時刻都有新的東西產，不能輕易滿足現況。

本團隊也蒐集了一些有關第二名的 MONOLITHIC 3D INC 的資料，由他們的官網可得知他們申請了相當多有關於的相關專利技術，本團隊也從 GPSS 上蒐集到此公司在 2023 年也申請了 20 項 3D-IC 相關技術，但卻沒有什麼實際的作為，上一篇有關公司的報導也是去年的文章。

表 10 前 10 大申請人及數量

排名	第一申請人	數量
1	TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY	1129
2	MONOLITHIC 3D INC	297
3	INTEL CORP	133
4	INVENSAS CORP	133
5	SILICONWARE PREC IND CO LTD	87
6	INT BUSINESS MACHINES CORP	62
7	SAMSUNG ELECTRONICS CO LTD	53
8	APPLIED MATERIALS INC	46
9	QUALCOMM INC	45
10	OR-BACH ZVI	44

表 11 申請人國別及數量

專利申請區域	專利申請數量
台灣	1389
美國	1283
中國	197
南韓	102
日本	33
法國	29
其他	285

#### 四、全球十大申請人及四階 IPC 分析

	H01L 23	H01L 21	H01L 25	H01L 27	H01L 29	H01L 49	H05K 1	G01R 31	H01Q 1	H05K 3
TAIWAN SEMICONDUCTOR	938	719	343	120	44	15	6	14	8	4
MONOLITHIC 3D INC	210	203	116	236	163	3	0	0	0	0
INTEL CORP	81	81	40	45	56	7	1	0	1	1
INVENSAS CORP	123	109	92	8	3	10	9	0	0	11
SILICONWARE PREC IND CO LTD	85	66	16	1	3	0	5	1	0	3
INT BUSINESS MACHINES CORP	50	44	26	6	9	5	0	11	0	0
SAMSUNG ELECTRONICS CO LTD	19	27	12	29	25	1	1	0	0	0
APPLIED MATERIALS INC	37	34	16	9	0	0	10	0	11	0
QUALCOMM INC	31	24	17	18	5	3	1	4	2	1
OR-BACH ZVI	27	21	11	23	7	0	0	0	0	0

圖 36 十大申請人之 IPC 分布數量

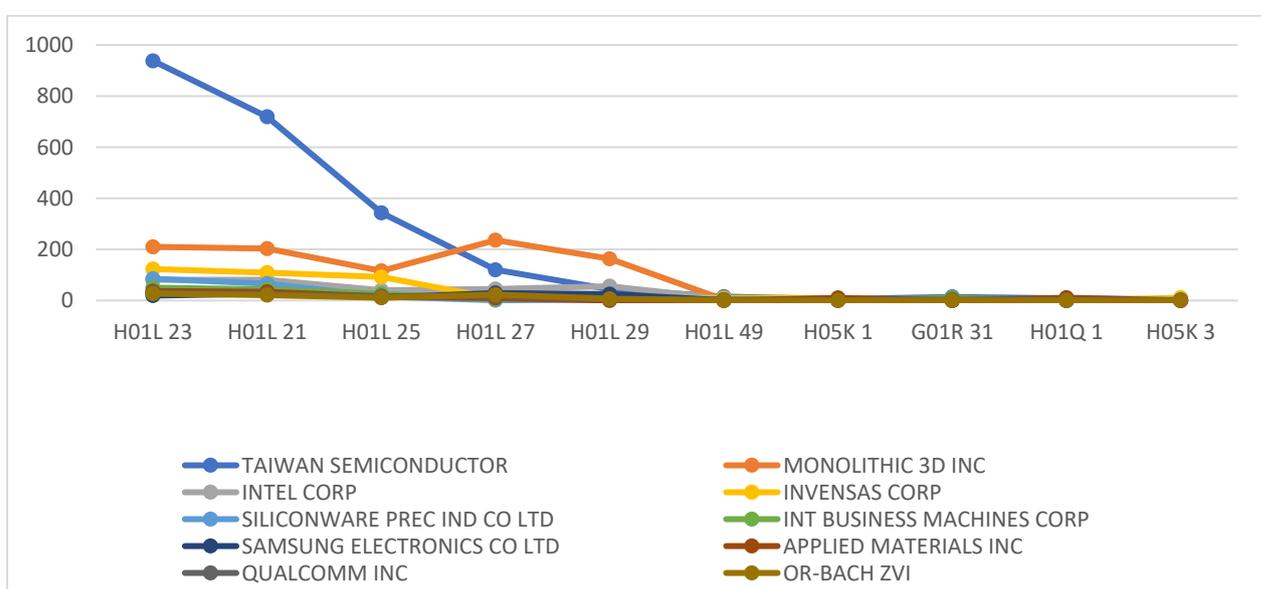


圖 37 全球十大申請人 H01L 四階分類號申請數折線圖

表 12 IPC 分類號定義

H01L	半導體裝置
H01L 21	適用於製造或處理半導體或固體裝置或部件之方法或設備。
H01L 23	半導體或其他固體裝置之零部件。
H01L 25	由多數單個半導體或其他固體裝置組成之組裝件。
H01L 27	自於一個共用基片內或其上形成的多個半導體或其他固體元件組成之裝置。
H01L 29	適用於整流、放大、振盪、或切換，或電容器，或電阻器的半導體裝置，其至少有一個電位能障或表面能障，例如 PN 接合空乏層或載子集聚層；半導體或其電極之零部件
H01L 49	未列入 27/00 至 47/00 各目內且未列入任何其他次類之固體裝置；製造或處理此等裝置或其部件所特有之方法或設備

H05K 1	印刷電路（多個單個半導體裝置或固體裝置之組裝體見 H01L 25/00；由在一共用基片內或其上形成的多個半導體組件而成的元件，例如：積體電路，薄膜或厚膜電路，見 H01L27/00
G01R 31	電性能之測試裝置；電故障之探測裝置；以所進行的測試未在其他位置提供為特徵之電測試裝置
H01Q 1	天線零部件或與天線結合的裝置
H05K 3	用於製造印刷電路之設備或方法（表面構造或圖形表面照相製板之製作；所用的材料或原圖，其專用的設備，一般見 G03F；包括有半導體裝置之製造者 H01L）

本團隊將全球十大申請人以及申請數量前五多的 IPC 分類進行交叉比對，得到以下結論，台積電對於專利申請的態度相當積極，作為技術上的領先者，從 IPC 分類數量最多的三大宗 H01L 21、H01L 23、H01L 25，分別得到各有 609 筆、288 筆、88 筆，相較其他競爭者有顯著的差異，也代表著台積電在晶圓製造及先進封裝上依然領先其他競爭者甚多。但本團隊發現 MONOLITHIC 3D INC 在 H01L 27 及 H01L 29 之類別申請數量是高於台積電的，這對於台積電也是一項警訊，從 MONOLITHIC 3D INC 的網站得知，他們同樣致力於 3D-IC 的研發，並相當積極進行專利申請的動作，是台積電在專利布局上的強力競爭者。雖然僅從專利申請數量進行分析並沒有辦法實質了解此公司的市占率以及營收等等，但我們能從圖、表分析出台積電在專利布局中較不完整的一環，並且也能從不同 IPC 分類了解到台積電與其他同類型競爭者在專利申請上的差異，本團隊對此提出建議。

## 五、技術生命週期

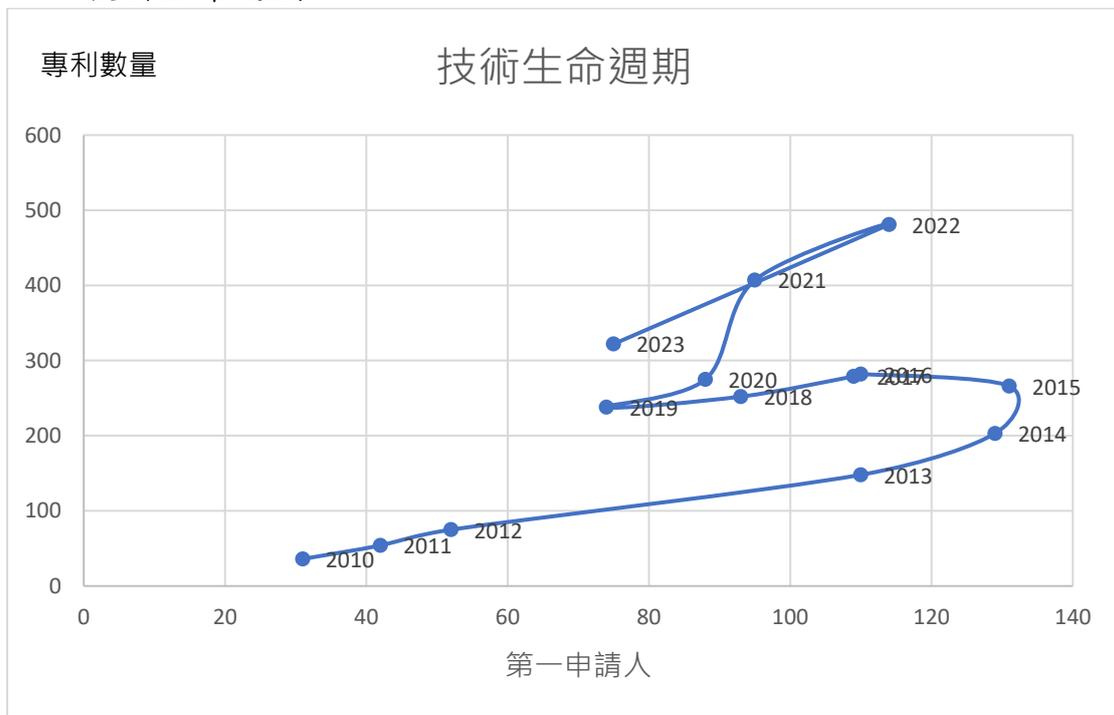


圖 38 3D-IC 技術生命週期圖

藉由技術生命週期圖可發現此技術的專利數量幾乎每年都處於是生階段，本

團隊使用的是公開公告年做檢視，並可明確表示出此技術對此產業的重要性節節攀升，2023 年目前僅僅半年就超過去年的 6 成，明顯能感受到各企業對此技術的重視程度，也佐證了此技術就是未來半導體產業打破摩爾定律的最大幫手。以申請人國別分布圖及申請人的表格可知台灣擁有封裝技術大部分的專利，而這些專利的申請人大多來自於台積電，由新聞顯示台積電在進台灣的近 7 年內專利數量都是榜首，在美國也能排上第二名，並也表示未來專利申請將進入倍增期，會採「專利」與「營業秘密保護」雙軌同步，藉此鞏固公司技術領先與競爭優勢。

本團隊認為 3D-IC 技術屬於**成長階段(Growth)**，雖然 3D-IC 使用三維堆疊的方式解決了電晶體尺寸限縮的問題，但是也有一些缺點需要改進，如下：

1. 散熱問題:積體電路在運算時會有能量的損耗，造成溫度提高，且 3D-IC 拉近裸晶的距離使熱傳導相互影響。
2. 晶片需要準確對準:如果在堆疊時，有接點沒有順利導通會使良率變低。
3. 建立良率測試的流程:在堆疊時，沒有針對單一裸晶做出良率的測試，將合格的 X 晶片堆疊在失效的 Y 晶片就無法使用了。

從市場需求來看，隨著數據中心、人工智慧、物聯網和 5G 等新興應用的迅速發展，對於更高性能、更高功能密度和更低功耗的需求也在增加。這使得 3D-IC 技術成為滿足這些需求的重要解決方案之一。3D-IC 技術在提高性能、功能密度和能源效率方面具有巨大的潛力，並能夠滿足不斷增長的市場需求。隨著技術的成熟和進一步的創新，預計 3D-IC 技術將持續成長並在各個應用領域得到廣泛應用。

## 六、技術功效矩陣

本研究將技術功效矩陣分為兩個部分作探討，分為**半導體封裝及半導體材料**。由下圖技術功效矩陣可知 TSV 技術對連接表面、功率及穿孔都有高度相關，分別有 554 筆、325 筆及 658 筆資料，更顯示出此技術對 3D-IC 的重要性，對散熱也有 118 筆的中相關性，以智慧型手機為例，若是散熱功能不佳也會造成手機過熱等現象，可看出各企業對散熱功能也有一定的重視度。SoC、SiP 和 WoW 的專利分布情形較類似，因此本團隊將一併討論。由下圖可知這三項技術在連接表面都有著較高的專利分布情形，接著是功率及穿孔，本團隊認為此圖能看出這些功效都是這些技術所需的基本要素，而散熱的部分目前重視程度相比起其他條件，所擁有的專利稍嫌不足。CoW 的各項專利都是此表最低，但也不至於到 0 相關，專利依序也有 51 筆、19 筆、45 筆及 17 筆。

進行分析		技術名稱 + -	TSV	SoC	SiP	晶片堆疊	晶圓堆疊
功效名稱 + -		檢索條件	(TSV OR 直通矽晶穿孔 OR Through Silicon Via)	(SoC OR system on chip OR 系統單晶片 OR 시스템 온칩)	(SiP OR system in package OR 시스템 인 패키지)	(CoW OR chip on wafer OR 晶片堆疊)	(WoW OR Wafer on Wafer OR 晶圓堆疊)
連接表面	connect surface or 連接表面 or surface or connection or 表面		554	234	203	51	200
效率、功率、功耗	Power Consumption or 功耗 or Power Efficiency or 功效 or Efficiency or 功率 or power or faster or minimize		325	246	149	19	157
穿孔	數量 OR through or 位置 OR position		658	192	145	45	143
散熱	散熱 OR thermal dissipation OR heat OR heat dissipation		118	72	37	17	64

圖 39 半導體封裝技術功效矩陣

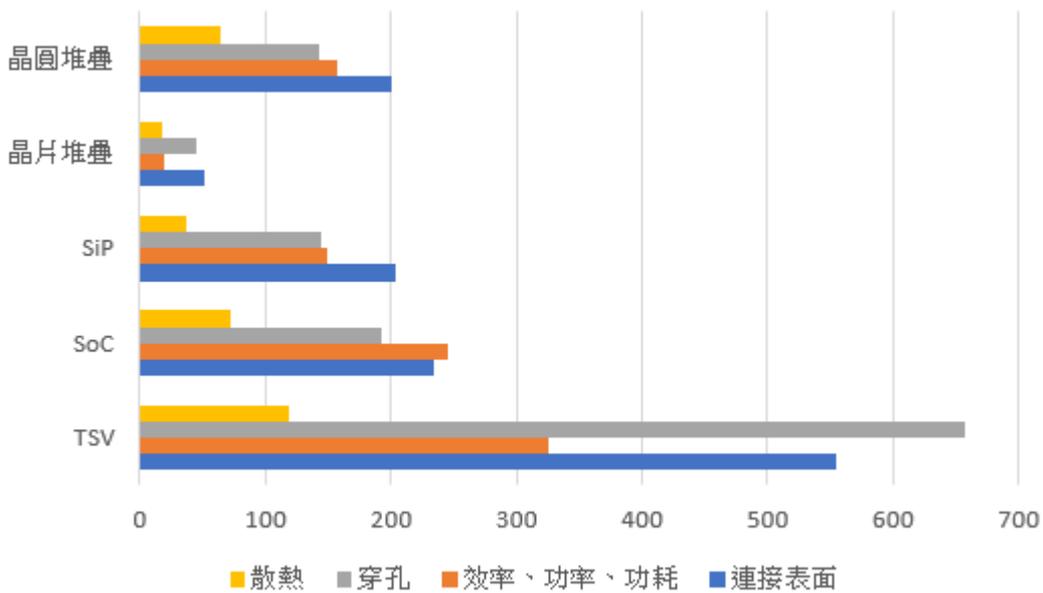


圖 40 以長條圖表示技術功效矩陣

由下圖技術功效矩陣可知，印刷電路板 PCB 與連接表面的相關專利數量為 121 筆，是並且與功率、穿孔及散熱分別有 119 筆、89 筆及 61 筆，都有著高度相關。Bump 和中介層不管是對連接表面、功率或穿孔都有中相關，但對散熱僅有 2 筆與 4 筆資料，顯示出散熱對 Bump 中介層相關性較低。

進行分析	技術名稱 +	Bump	中介層	印刷電路板
功效名稱 + -	檢索條件	(Micro bump OR bump OR 범프)	(interposer OR 中介層 OR 中介片 OR 인터포저)	PCB OR Printed circuit board OR PWB OR Printed wire board OR 印刷電路板
連接表面	connect surface or 連接表面 or surface or connection or 表面	30	13	121
功耗、功效、功率	Power Consumption or 功耗 or Power Efficiency or 功效 or Efficiency or 功率 or power or faster or minimize	10	12	119
穿孔	數量 OR through or 位置 OR position	23	10	89
散熱	散熱 OR thermal dissipation OR heat OR heat dissipation	2	4	61

圖 41 半導體材料技術功效矩陣

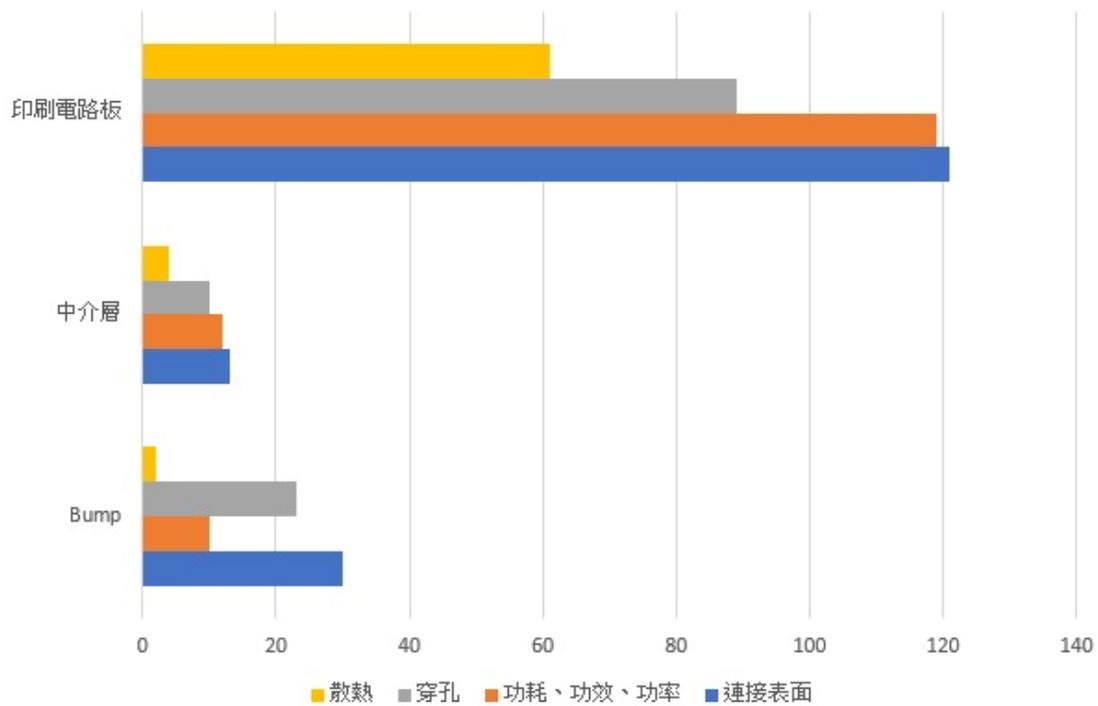


圖 42 以長條圖表示技術功效矩陣

## 七、檢準率、檢全率

### (一)分析之合理性

為確認本研究之檢索結果是否具一定準確度，且誤差是否在可控制之範圍內，本團隊將進一步透過評估程式驗證檢索結果之績效。專利檢索結果的評估，可參考資訊檢索的評估方法，其中以傳統檔檢索，常以檢全率（recall）、檢準率（precision）以及結合兩者之 F1-measure，三者之計算方法如下所示

$$P=\text{Precision}=\frac{\text{\#relevant retrieved}}{\text{\#retrieved}}$$

$$R=\text{Recall}=\frac{\text{\#relevant retrieved}}{\text{\#relevant}}$$

$$F1=\frac{2PR}{P+R}$$

依據國家教育研究院雙語詞彙、學術名詞暨辭書資訊網之釋義：「查準率（precision ratio）為評估檢索成效的一項指標，又稱精確率、求準率等。在資訊檢索系統中，系統找出相關資料的筆數與系統找出資料總筆數的比值，稱為查準率。舉例來說，在某一次檢索需求中，系統回傳 100 筆檢索結果，其中有 20 筆被判斷為相關，則此次查詢的查準率為 0.2 或是 20%。查準率可以用來瞭解系統輸出的準確程度，或是鑑定系統篩選資料的能力。查全率（recall rate）為評估檢索成效的一項指標。從檢索系統中找出相關資料的筆數與檔案中應有的相關資料之總筆數的比值，稱為查全率。例如：在某一次檢索需求中，相關文件總數應有 50 筆，而在系統回傳的 100 筆結果中，只有 20 筆相關檔，則此次檢索的查全率為 20/50=0.4 或是 40%。查全率可以用來瞭解系統找回所有相關資料的能力，或是系統遺漏相關資料的情形。

為符合專利檢索之用字，本研究將按專利行業中常用之用語，將以「檢準率」和「檢全率」替代「查準率」和「查全率」。而在評估的過程中，將同時對本研究之專利池進行檢準率和檢全率之計算，以探究專利檢索策略之合理性，方得進一步對檢索結果進行分析。

### (二)檢準率分析

本研究檢準率之計算將採隨機抽樣之方式，抽取專利池中約 1% 數量之專利案做為樣本，並經由人工判讀樣本是否屬於 3D-IC 相關技術之專利案件，進一步將樣本數分為相關與不相關兩個類別。依中央極限定理（central limit theorem）可知，任意母體分配下，抽樣之樣本數  $n \geq 30$ ，樣本均值抽樣分配將漸近於常態分配。

$$\text{檢準率}=\frac{\text{實際檢視符合檢索標的之專利數}}{\text{專利檢索結果} \times \text{系統抽樣}(1\%)} \times 100\%$$

本研究先將專利池所有 3392 件專利案進行編號，並透過亂數表抽取出不重複之 35 件專利案做為樣本，透過人工判讀的方式將樣本分為屬於 3D IC 相關技術之「符合」類別以及不屬於 3D IC 相關技術之「雜訊」類別兩者。

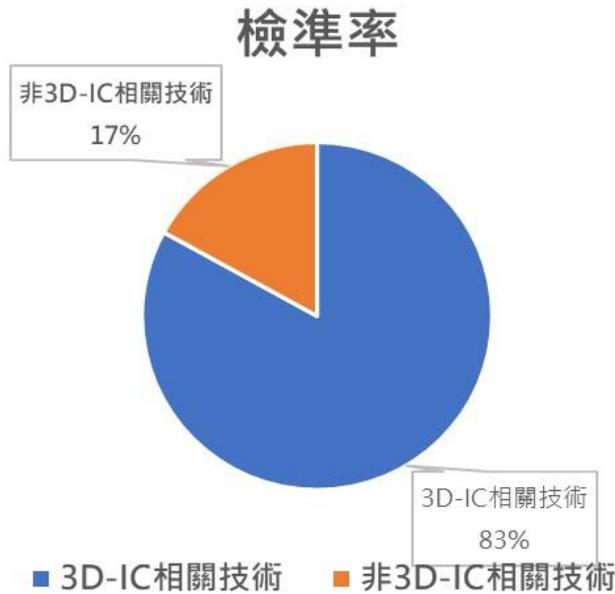


圖43 3D-IC相關技術之檢準率

經過人工判讀後，有29件屬於與3D IC相關之技術，占比82.86%。有6件不屬於與3D IC相關之技術，占比17.14%。

### (三)檢全率分析

按定義，欲計算專利檢索結果之檢全率，須將專利檢索系統中所有的專利案分為「符合」和「雜訊」兩個類別，並檢視專利檢索結果中佔「符合」類別之比例。專利檢索系統中專利案件量動輒幾十萬甚至上百萬筆，欲以人工判讀之方式分類實非良策。因此在實際計算檢全率時，通常以折衷方式取得近似母體分佈的另一專利池作為參考基準，計算基準專利池中實際被檢索出之比例，作為檢全率之參考。計算式如下：

$$\text{檢全率} = \frac{\text{A公司實際存在於檢索結果之專利數}}{\text{A公司檢索標的之專利數}} \times 100\%$$

本團隊分析專利池中出現的申請人及申請人國別，決定以台灣積體電路製造為主要檢全率標的之公司。台灣積體電路製造股份有限公司（英語：TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY），簡稱台積電。台積電擁有強大的技術且在半導體產業中做為十分重要的角色之一以及致力於半導體之開發與製造，將台積電作為檢索母體將有較高參考價值，也更能體現產業方向。

檢全日基準為**2023年8月20日至2023年9月20日**，並且以TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY(台灣積體電路製造公司)作為申請人，檢索式如下：

**((TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY) OR (台灣**

積體電路製造公司) AND ID=20230820:20230920) 透過 GPSS 提供的統計分析功能，初步觀察檢索結果的申請人，經確認後 855 件專利文獻皆為台積電擁有的專利，並將 855 件母體數進行人工判讀，本團隊共抽 35 個樣本，符合 3D-IC 相關技術共 21 筆，可得知檢全率共 60%，可得知台積電目前約 60% 的目光放在 3D-IC，不僅僅是公司目標及未來展望，更可體現整個產業目前的技術發展方向。

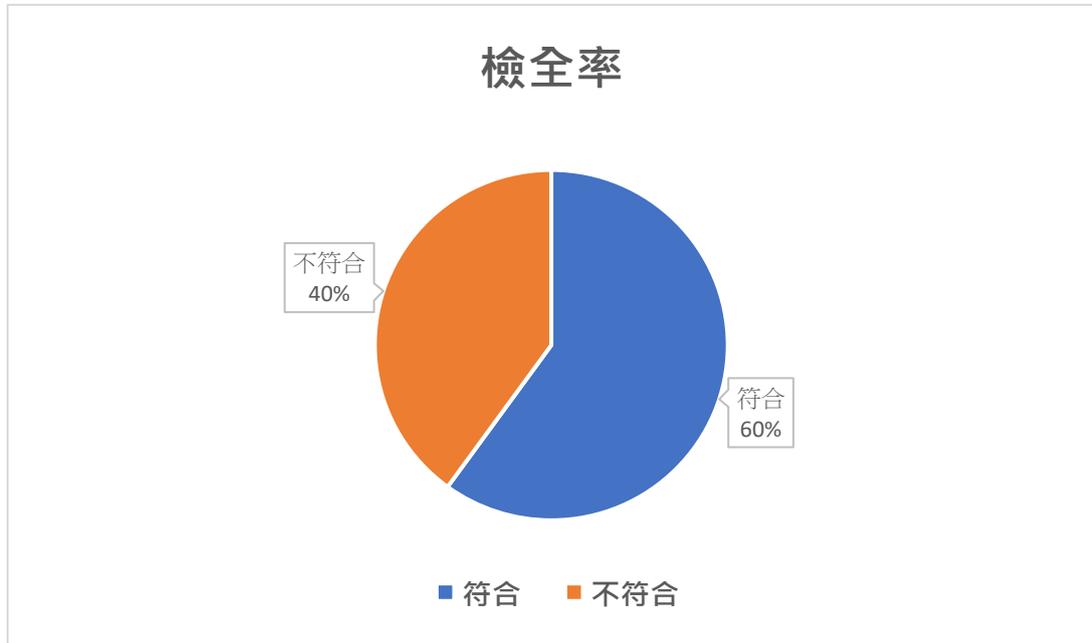


圖44 3D-IC相關技術之檢全率

## 陸、3D Fabric 技術專利分析

本章節以 3D Fabric 相關技術作探討，將 SoIC、InFO 和 CoWoS 進行相關專利檢索並列出以下檢索式，並將檢索去重前資料及檢索去重後資料標示出來，並將資料年限限縮在 2010 年 1 月 1 日至 2023 年 6 月 30 日。

專利檢索式:

表 13 3D Fabric 相關技術檢索式

技術	完整檢索式	專利數量
系統整合晶片 (SoIC)	(((系統整合晶片 OR System on Integrated Chips OR SoIC) AND (堆疊 OR stacking OR stacked) AND (TSV OR 矽穿孔 OR Through Silicon Via )) AND (IC=H01L*)) AND ID=20100101:20230630 AND (IC=H01L*) [檢索去重]	檢索去重前 572 筆
		檢索去重後 433 筆
整合扇外型封裝 (InFO)	(((Integrated Fan-Out OR InFO OR 整合扇外型封裝) AND (Redistribution Layer OR 板級扇出封裝) AND (package on package OR PoP OR 層疊式封裝) AND (os OR on substrate OR 基板上 )) AND ID=20100101:20230720 AND (IC=H01L*) [檢索去重]	檢索去重前 1247 筆
		檢索去重後 776 筆
基板上晶圓上晶片封裝 (CoWoS)	((CoWoS OR Chip-on-Wafer-on-Substrate OR 基板上晶圓) AND (substrate OR 基板) AND(高效能運算記憶體 OR HBM OR High Bandwidth Memory) AND ( (chip on wafer OR COW OR 晶片堆疊) OR (wafer on wafer OR 晶圓堆疊 OR WOW)) AND (SoC OR system on chip OR 系統單晶片 )) AND ID=2010:20230630 AND (IC=H01L*) [檢索去重]	檢索去重前 482 筆
		檢索去重後 353 筆

### 一、SoIC 系統整合晶片專利申請數量分析

#### 6.1.1 檢索式概念

檢索式: (((系統整合晶片 OR System on Integrated Chips OR SoIC) AND (堆疊 OR stacking OR stacked) AND (TSV OR 矽穿孔 OR Through Silicon Via )) AND (IC=H01L\*)) AND ID=20100101:20230630 AND (IC=H01L\*) [檢索去重]。

檢索式概念: SoIC 屬台積電 3D 前端封裝技術，台積電將 SoC 技術加以研發，獨特的 SoIC 技術經過堆疊技術並使用矽穿孔技術，使晶片能夠通電。由申請年可發現 SoIC 相關技術正在飛躍性成長，相關專利申請數量逐漸攀升，充分表達此項技術仍是未來趨勢，也能理解台積電成立 3D Fabric 聯盟的原因，理解到為甚麼他們如此重視相關堆疊技術的研發。

## 6.1.2 技術生命週期圖

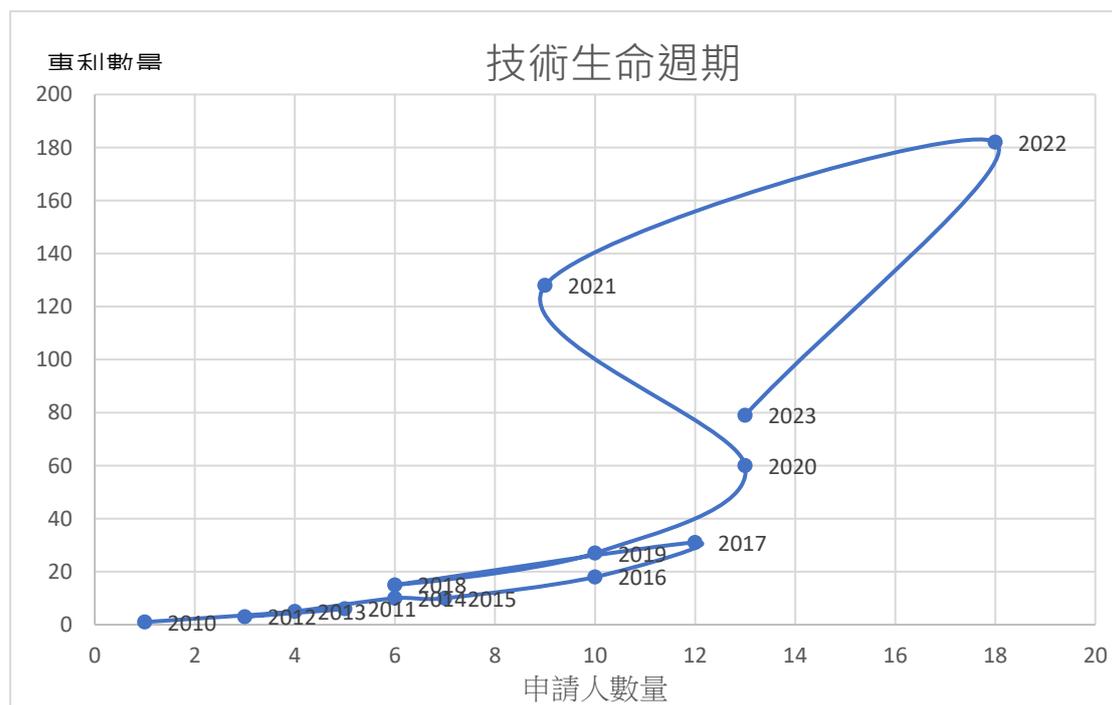


圖 45 申請人、專利數量折線圖

由公開公告年可看出 2010-2015 年此技術處於萌芽期，受到的關注程度並不高，2016-2020 年技術逐漸邁入成長期，每年的公告數量落在 10 筆以上，在近 3 年此技術的通過數量暴增約 100%，審核通過數量激增也代表此技術更加成熟，相當多相關技術在近年受到認可，此資料截至 2023 年 6 月 30 日，今年在專利數量的公告數量可能還會更多。

## 6.1.3 四階 IPC 分析

由下圖可知，檢索條件下的前三 IPC 分類號，從溫度深淺和年份的推移有明顯增長的趨勢，特別是 IPC 分類號 H01L 23(半導體或其他固體裝置之零部件)類別，在 2019 至 2022 年迅速增長，且 2022 年擁有最高的申請數量，SoIC 作為台積電先進製程前段的晶片堆疊技術，是台積電視為重要的發展項目。

IPC \ 年份	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023
H01L 23	4	1	5	8	8	28	35	37	81	4
H01L 25	2	0	1	2	2	11	22	31	18	0
H01L 21	1	3	1	1	3	6	13	17	12	0
G11C 11	0	1	0	1	0	3	2	2	1	0
G11C 5	2	1	1	1	1	0	0	1	0	0
H01L 27	0	0	2	1	2	0	1	0	2	0
H01L 29	0	0	1	0	0	0	2	1	2	0
G11C 29	0	0	1	0	0	0	3	0	0	0
G11C 7	1	1	0	0	0	0	1	0	0	0
H04N 5	0	0	1	0	0	1	0	0	0	0

圖 46 各年份 IPC 數量

序號	IPC-4階	數量
1	H01L 23	361
2	H01L 25	241
3	H01L 21	224
4	H01L 27	34
5	G11C 11	20
6	G11C 5	20
7	G11C 7	16
8	G11C 29	14
9	H01L 29	11
10	G11C 8	6

圖 47 IPC 數量

表 14 IPC 號定義

H01L	半導體裝置
H01L 23	半導體或其他固體裝置之零部件
H01L 25	由多數單個半導體或其他固體裝置組成之組裝件，應用太陽電池或太陽電池板之發生器
H01L 21	適用於製造或處理半導體或固體裝置或部件之方法或設備
H01L 27	自於一共用基片內或其上形成的多個半導體或其他固體元件組成之裝置
H01L 29	適用於整流、放大、振盪、或切換，或電容器，或電阻器的半導體裝置，其至少有一個電位能障或表面能障，例如 PN 接合空乏層或載子集聚層；半導體或其電極之零部件
G11C	靜態儲存裝置（介於記錄載體與轉換器間相對移動的資訊儲存裝置見 G11B；半導體儲存裝置製程見 H01L 27/108 至 27/115
G11C 11	以使用特殊的電或磁記憶元件為特徵而區分之數位儲存記憶元件
G11C 5	包括於 11/00 目內之儲存記憶體零部件
G11C 7	提供寫入或讀取資訊之數位儲存體構件
G11C 29	記憶體正確運行之檢測；在待機或離線操作時的記憶體的測試
G11C 8	適用於數位儲存記憶體的定址構件

## 二、InFO 扇外型封裝專利申請數量分析

### 6.2.1 檢索式概念

檢索式：(((Integrated Fan-Out OR InFO OR 整合扇外型封裝) AND (Redistribution Layer OR 板級扇出封裝) AND (package on package OR PoP OR 層疊式封裝) AND (os OR on substrate OR 基板上 ))) AND ID=20100101:20230720 AND (IC=H01L\*) [檢索去重]

檢索式概念:由台積電官網的 InFO 技術 InFO\_PoP 和 InFO\_os 為概念去做發想，RDL 也是完成 InFO 技術所需的橋樑，由下圖可知 InFO 相關技術從 2014 年

才逐漸受到關注，並在五年內獲得飛躍式的成長，由此可知此技術對半導體產業的重要性。並從申請年可發現，近五年都還有每年平均 100 件以上的專利申請數量，並有足夠的證據認為 InFO 技術仍然有相當大的進步空間及發想空間。

### 6.2.2 技術生命週期

由下圖可知此技術在近 10 年呈現飛躍式成長，在去年此技術的公開/公告數量及申請人都達到最多，能了解到此技術仍是未來的一大趨勢，在 2023 年我們能發現申請人變少，但申請數量也不會到很低，本團隊認為此技術已開始走向專業化，具有此技術的公司正將此技術進行更精密的研發，進而申請此技術的相關專利。

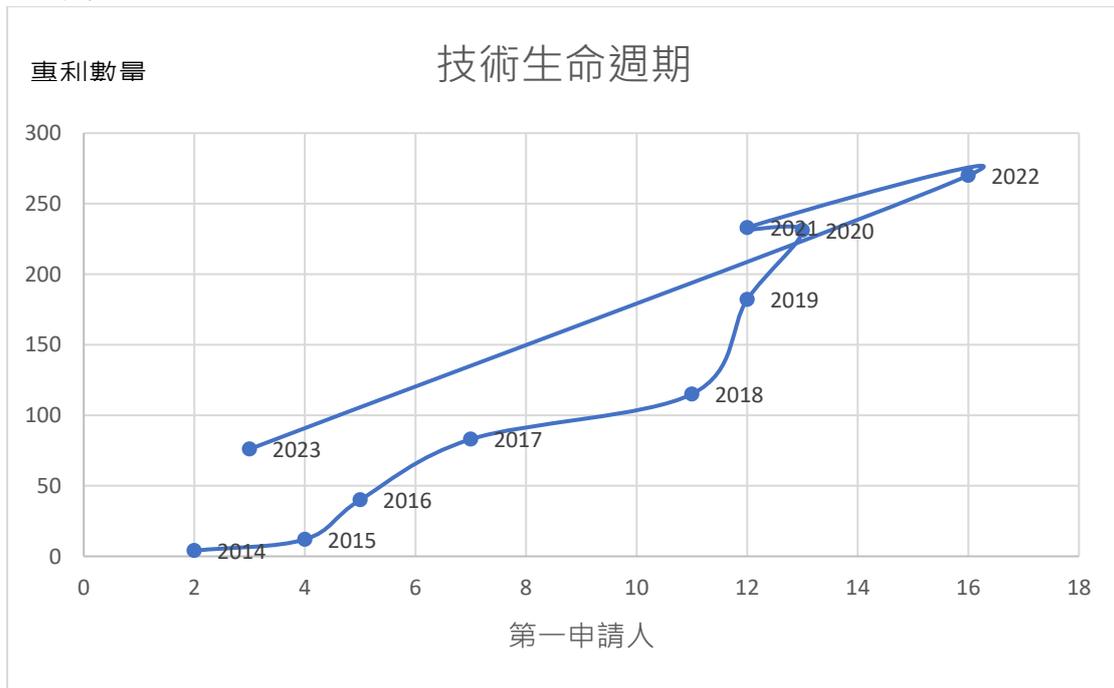


圖 48 公開/公告年 技術生命週期

### 6.2.3 四階 IPC 分析

由下圖 IPC 的申請狀況來看此技術在 H01L 23、21、25 是最多的，表示此技術在其他分類的部分較少，數量的部分在 2019 年分別達到最高的 130 筆、119 筆及 83 筆，在今年的申請數量上有減少的趨勢，但此技術目前已納入台積電的 3D Fabric 聯盟主要研發技術，本團隊認為我們仍能持續關注技術的專利申請狀況，以了解此技術的發展情況。

IPC \ 年分	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023
H01L 23	17	27	49	76	105	130	110	98	112	10
H01L 21	17	25	43	62	88	119	98	82	95	8
H01L 25	13	22	33	52	68	83	72	58	65	4
H01L 27	0	0	1	3	4	2	4	5	1	1
H01L 29	2	0	5	5	2	2	2	2	0	0
G03F 7	0	0	0	0	0	6	3	3	4	0
H01L 49	0	0	1	1	1	3	3	0	2	0
H01Q 1	0	0	0	1	0	4	1	2	3	0
H01L 33	0	0	1	3	3	1	1	0	0	0
H05K 1	0	2	1	0	2	1	1	0	1	0

圖 49 各年 IPC 分布圖

序號	IPC-4階	數量
1	H01L 23	738
2	H01L 21	641
3	H01L 25	473
4	H01L 27	21
5	H01L 29	20
6	G03F 7	16
7	H01L 49	11
8	H01Q 1	11
9	H01L 33	9
10	H05K 1	9

圖 50 IPC 數量

表 15 IPC 分類號定義

H01L	半導體裝置
H01L 23	半導體或其他固體裝置之零部件
H01L 21	適用於製造或處理半導體或固體裝置或部件之方法或設備
H01L 25	由多數單個半導體或其他固體裝置組成之組裝件，應用太陽電池或太陽電池板之發生器
H01L 27	自於一共用基片內或其上形成的多個半導體或其他固體元件組成之裝置
H01L 29	適用於整流、放大、振盪、或切換，或電容器，或電阻器的半導體裝置，其至少有一個電位能障或表面能障，例如 PN 接合空乏層或載子集聚層；半導體或其電極之零部件
H01L 49	製造或處理此等裝置或其部件所特有之方法或設備
H01L 33	至少有一個電位能障或表面能障之適用於光發射，如紅外線發

	射之半導體裝置；製造或處理此等半導體裝置或其部件所特有之方法或設備；此等光導體裝置之零部件
G03F 7	圖紋面，如印刷表面之照相製版；如光刻工藝；圖紋面照相製版用之材料，如含光致抗蝕劑之材料；圖紋面照相製版之專用設備
H01Q 1	天線零部件或與天線結合的裝置
H05K 1	印刷電路

### 三、CoWoS 封裝技術專利申請數量分析

#### 6.3.1 檢索式概念

檢索式：((CoWoS OR Chip-on-Wafer-on-Substrate OR 基板上晶圓 ) AND (substrate OR 基板) AND(高效能運算記憶體 OR HBM OR High Bandwidth Memory) AND ( (chip on wafer OR COW OR 晶片堆疊) OR (wafer on wafer OR 晶圓堆疊 OR WOW)) AND (SoC OR system on chip OR 系統單晶片)) AND ID=2010:20230630 AND (IC=H01L\*) [檢索去重]

#### 6.3.2 技術生命週期

此技術於 2018 年的公開/公告數量才逐漸成長並在 2022 年達到 180 筆，能發現此技術在近年受到肄業的高度重視，並佐證台積電今年 CoWoS 產能不足的充分理由，此技術在未來的發展理應相當不錯，同樣的，此技術也納入 3D Fabric 聯盟裡，本團隊認為我們能持續關注此技術的相關專利申請情形，並持續關注此技術是否已延伸出更多不同的技術或類型，甚至對產業造成了甚麼影響。

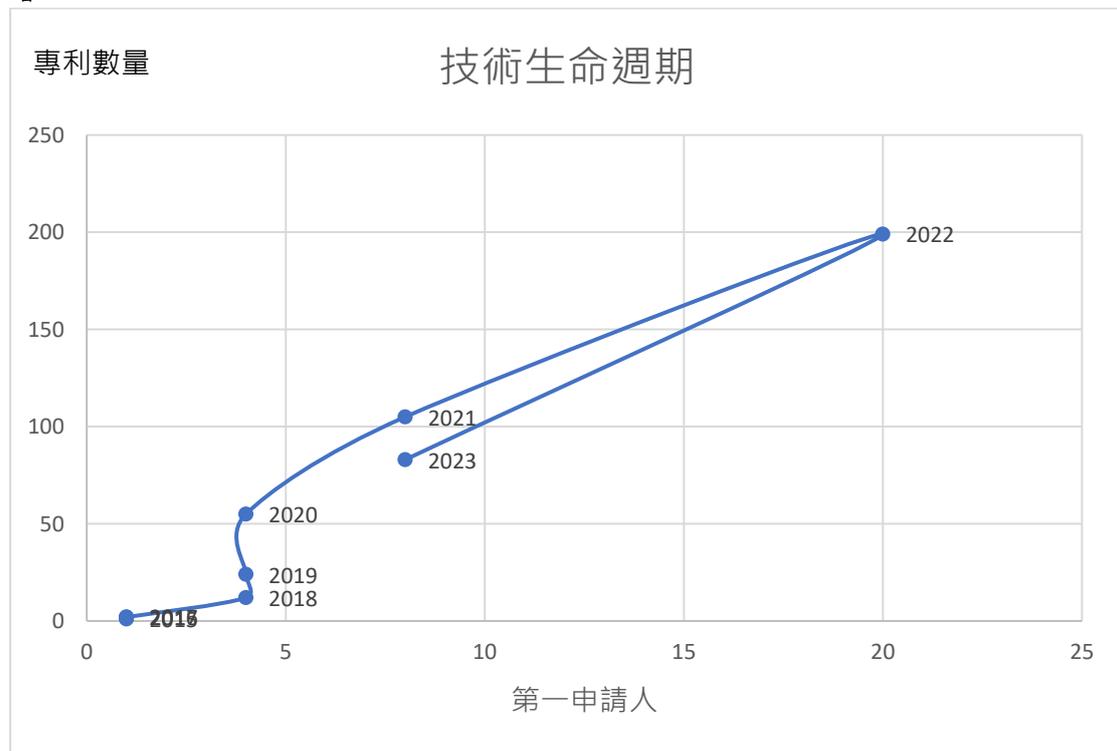


圖 51 公開/公告年專利數量折線圖

### 6.3.3 四階 IPC 分析

由下表可知，CoWoS 技術在 2019 至 2022 成長趨勢最為明顯，從 IPC 數量來看，前三 IPC 分類號(H01L 23、21、25)和半導體之固體裝置有關且包含大部的比例，而其他 IPC 的數量就相對較少。再從顏色的深淺可以看出，此技術在 2021 年專利數量為最高峰，且前三 IPC 分類號均擁有同樣的趨勢，了解到 CoWoS 技術已經成為現今半導體發展的重要的一環。

IPC \ 年份	2013	2016	2017	2018	2019	2020	2021	2022	2023
H01L 23	1	3	9	17	38	58	110	90	3
H01L 21	0	0	10	14	29	38	85	60	2
H01L 25	1	3	7	13	24	30	59	43	1
H01L 27	0	0	0	0	1	3	1	2	0
H01L 49	0	0	0	0	0	2	2	1	0
H05K 1	0	0	0	0	2	0	1	1	1
H05K 3	0	0	0	0	2	1	1	0	1
G01R 31	0	0	0	0	1	1	1	1	0
H01P 3	0	0	1	0	0	1	0	2	0
H01Q 1	0	0	0	0	0	0	3	0	0

圖 52 各年份 IPC 數量

序號	IPC-4階	數量
1	H01L 23	329
2	H01L 21	238
3	H01L 25	181
4	H01L 27	7
5	H01L 49	5
6	H05K 1	5
7	H05K 3	5
8	G01R 31	4
9	H01P 3	4
10	H01Q 1	3

圖 53 IPC 數量

表 16 IPC 號定義

H01L	半導體裝置；其他類目未包括的電固體裝置
H01L 23	半導體或其他固體裝置之零部件
H01L 21	適用於製造或處理半導體或固體裝置或部件之方法或設備

H01L 25	由多數單個半導體或其他固體裝置組成之組裝件，應用太陽電池或太陽電池板之發生器
H01L 27	自於一共用基片內或其上形成的多個半導體或其他固體元件組成之裝置
H01L 49	製造或處理此等裝置或其部件所特有之方法或設備
H05K 1	印刷電路（多個單個半導體裝置或固體裝置之組裝體見 H01L 25/00；由在一共用基片內或其上形成的多個半導體組件而成的元件，例如：積體電路，薄膜或厚膜電路）
H05K 3	用於製造印刷電路之設備或方法（表面構造或圖形表面照相製板之製作；所用的材料或原圖，其專用的設備，一般見 G03F；包括有半導體裝置之製造者 H01L）
G01R 31	電性能之測試裝置；電故障之探測裝置；以所進行的測試未在其他位置提供為特徵之電測試裝置（在製造過程中測試或量測半導體或固體器件見 H01L 21/66；線路傳輸系統之測試見 H04B 3/46）
H01P 3	波導；波導型傳輸線
H01Q 1	天線零部件或與天線結合的裝置（改變方向場型之指向的裝置見 3/00）

#### 四、檢索結果結論

依研究結果可知，台積電的 3D Fabric 三大技術早在 2017 年就開始布局，CoWoS 技術在今年創下佳績後，三星及 Intel 開始增加先進封裝技術的投資及技術發展，試圖瓜分台積電訂單，在各大廠商都向台積電訂購時，台積電目前正面臨 CoWoS 產能不足的問題，也造成出貨延遲，並且我們從三星的各項技術發展指標得知都在追隨台積電的腳步，不免令人擔心訂單是否會被瓜分的問題，但從台積電的專利布局情況來，似乎就不太需要為台積電擔心了，早在 5 年前台積電就在布局這些技術，成果在今年大大展現，三星及 Intel 現在開始追趕，但在他們追趕的時間台積電是否已經開始為下個世代的製程做布局了呢？這些都是我們可以想像的。

## 柒、智財布局與技術策略

本團隊經第五章及第六章的分析後，將依下列介紹專利布局策略及模式作探討。

### 一、專利布局策略與模式

#### 7.1.1 專利布局策略

隨著科技的日新月異，產業間的企業競爭關係越來越激烈，不同企業勢必會互相比拚、為了在市場中佔有一席之地，企業如何透過專利布局策略，將本身現有的技術進一步保護，甚至透過一系列的策略來阻絕競爭者的威脅，是本團隊這章節想要探討的核心問題。

企業在進行決策時，有「申請專利」和「營業秘密」等方法來保護公司技術受到侵害，兩者最大的差異就是是否會對外公開讓其他人知道，專利是透過向國家公開自己的技術，換取一定時間實質權力保護(發明、新型或設計之專利權原則上分別為 20 年、10 年、15 年)，而營業秘密的定義是指，方法、技術、製程、配方、程式、設計或其他可用於生產、銷售或經營之資訊，依據雙方(或以上)的合約規定營業秘密的範圍與各自的權責歸屬。相較之，營業秘密法主要在維護產業倫理與競爭秩序，保障企業之機密資訊，不會遭重製、使用或洩漏，以維護公平競爭。因此，營業秘密不需要對外公佈，公司仍可以保有自己的秘方，而且必須要注意做好保密措施，否則將難以受到營業秘密法的保護。申請專利與營業秘密擁有自己獨特的優勢，前者有強大的排他性，後者則無須公開且沒有期限限制。本團隊認為可以結合兩者的優勢進行分析，有以下兩種可行方法：

1. 部分公開技術取得專利，將真正的核心技術使用營業秘密保護
2. 將核心技術用營業秘密保護，用製程方法去申請專利。

另外，營業秘密案件不起訴之比率通常高於專利訴訟案件，這是因為專利具有實質權力，且擁有向國家機構公開的文件，在法律上的認定較為明確，而營業秘密因為舉證不易，不起訴案件之比例較高。

依據財經報導指出，台積電已經連續七年蟬聯專利申請王，在美也是第二大申請人，且台積電專利布局的方式也是採取營業秘密與專利保護「雙軌」制度，「營業秘密如同海底下的冰山，深不可測」，台積電深度的技術、商業定價、行銷等都是營業秘密；「專利就是浮出海面的冰山一角」，透過關鍵技術保護，維持領先地位與競爭優勢。

#### 7.1.2 Ove Granstrand 專利布局策略模式

由 Ove Granstrand 專利布局策略的專利布局策略模式，受大多數人推崇的理論是 Ove Granstrand 教授在「Strategic Management of Intellectual Property」一文所提出 6 個專利布局策略模式，以下分別說明專利布局策略模式之型式，讓讀者有比較具體概念：

1. 特定阻卻和迴避發明式(Ad Hoc Blocking and Inventing Around)可用一個或數個專利，阻卻競爭對手的專利路徑，適用在資源較少的情況下，缺點是此種策略，競爭對手也容易利用迴避發明來避開專利的保護範圍。

## 2.策略式專利(Strategic Patent Searching)

為了要讓專利保持競爭優勢，策略式專利型式是發展出一個高阻卻高障礙的專利門檻，產生讓後續競爭者進入障礙變高，也意味者對於競爭者來說有較高的發明及迴避成本，策略式專利中的 SP 是指專利研發成本較低的峰谷，在那形成專利的阻卻，造成競爭對方只能從旁邊研發成本較高的山谷進行通過，此種策略式專利有較高的研發成本，但優點可以有效的造成競爭對方較無法形成迴避發明。

## 3.地毯式或淹沒式(Blanketing or Flooding)

在無法發展出比較好的策略之前，可以採取類似佈雷區的方式，在競爭者研發的方向佈建雷區，可以阻卻競爭者進入，地毯式專利比較適用於不確定性較高之新興技術領域，但也要小心在成本上做控管，並有系統的佈建，不然有可能會演變成專利氾濫，無法發揮該模式的預期效果。

## 4.圍牆式(Fencing)

利用一系列特定領域之專利，以類似專利家族的概念，以圍牆式的方式阻卻競爭對手研發進行的方向，而圍牆式專利布局有別於地毯式專利布局在於除了阻卻競爭對手方向形成圍牆之外，也有效的保護我方專利核心技術，形成一保護圈。

## 5.圍繞式(Surrounding)

利用較小的專利或是創新度較低的專利，針對競爭對手的核心專利的周邊，形成包圍，讓競爭對手在發展專利路徑時受到阻撓，此布局策略使用得宜的話，可以有效形成商業的談判籌碼；圍繞式專利布局是一種相對的概念，當小企業圍繞大 50 企業時，也可能反被對方圍堵，造成小企業的專利成本上升，以藉此讓小企業專利發展受阻縮小其發展市場潛力，並進而妥協達成被收購之目的。

## 6.組合式(Combination)

應用各種專利布局的方法及種類，例如特定阻撓、迴避設計或是再發明策略等組合成像是緊密般的網路關係之組合式專利布局，以強化技術的保護及增加談判籌碼。

上面 6 種模式的敘述，是讓讀者可以從抽象的概念轉成比較具體清晰的輪廓，專利布局需考量多方因素，像是企業規模大小、資金充足與否、核心技術及市場大小、法律層面等等因素，布局策略就像下圍棋，我們可以利用策略阻卻對手行進之路徑，也可以被對手阻卻，我們可以用圍牆式策略保護自己核心技術，形成對手的阻卻圍牆，也有可能被對手使用圍繞式策略包圍，所以在布局策略需多方思考仔細評估。

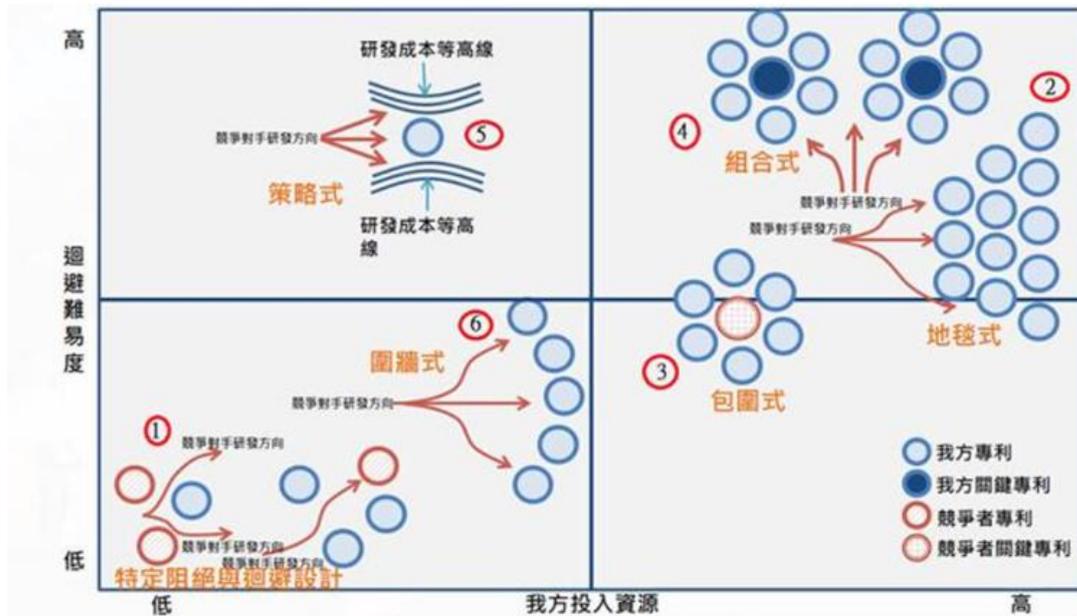


圖 54：專利布局策略圖(資料來源:智財局)

### 7.1.3 3D Fabric 專利布局策略建議

依據本研究之第三章產業概況和技術介紹，能了解到 3D Fabric 技術是台積電獨有的封裝技術，再從第五章的台積電專利布局情況來看，這三項主要技術都是屬於高速成長階段，若能提早針對相關技術進行專利布局策略，能夠提高後續競爭者進入的難度，間接保護所持有的技術。因此本研究認為 3D Fabric 相關技術能夠進行策略式專利，「策略性專利」需要有高額的發明成本，而台積電具有先進的製程技術與龐大的企業體等等的優勢，透過策略性專利的模式，對於競爭者而言也有較高的發明迴避成本。此外，本研究認為其他中小企業可利用「圍攔式策略」將多個較小的或創新性較低的專利圍繞在競爭者核心專利（如策略式專利）的周邊，形成對該專利的包圍，如此將可能會造成對方在實施此核心專利時的困難度；然後藉以爭取與對方談判達成交互授權或策略聯盟的目的。

## 二、企業層面的專利布局理論

### 7.2.1 Ernst 布局策略

Ernst 針對 50 家德國機械公司在歐洲和美國申請的發明專利進行分析，發現企業的專利品質和專利活動與公司銷售增長率相關。其中專利活動用來衡量研發活動的水準，專利品質用來衡量專利活動的結果和影響。

**專利活動：**專利活動指專利申請量，但 Ernst 12 考慮的是企業專利申請數量在相關技術領域專利申請數量中所占的比率。其中還考慮企業規模對專利申請活動的影響而加以校正。

**專利品質：**專利品質指公司研發的品質以及專利活動的有效程度，包括專利公告數與專利申請數的比率、公告且仍然有效專利數與專利公告數的比率、企業美國專利與公司專利申請數的比率。

本文整合 Ernst 各篇文章中共同的原則，而不只是 Ernst 一文中的定義。策略性專利布局：從企業專利策略到專利布局引證次數與公司專利申請數的比率。

這四項指標透過加權數值而合成一個指標值，也就是專利品質。

Ernst 發現市場高潛力者比行動者具有更高的效率，因此 Ernst 認為只有包含專利品質的指標，對於評估專利策略成功潛力才有意義。

透過圖 55 可以得知公司的專利策略根據兩個不同為度來衡量，分別為專利活動及專利品質。右上象限代表公司為優質專利的活躍專利權人，通常為技術領先者；而左下象限則為低質量專利活躍專利權人，通常為技術落後者。公司可以根據圖 55 評估自身公司的研發水平和專利品質，並通過與專利組合中相關競爭對手的比較，以此衡量公司處在何種象限。

專利品質	高	(市場高潛力者) 具高品質專利的 選擇性專利權人	(技術領導者) 具高品質專利的 積極專利權人
	低	(瘦狗) 具低品質專利的 不積極專利權人	(行動者) 具低品質專利的 積極專利權人
		低	高
		專利活動	

圖 55: 專利活動(Ernst (1996), Patent portfolio for strategic R&D planning)

## 7.2.2 從 Ernst 布局策略看 3D Fabric 聯盟

台積電 3D-IC 技術由表 10 可知，專利數量大幅領先，可推斷台積電在此技術相較其他企業，有著些許領先，也能確實反映台積電晶圓代工營收占比的領先因素，並推斷台積電為技術領導者。而三星與 intel 可視為市場高潛力者，雖專利申請數量相較台積電雖然沒有這麼多，但他們積極研發先進製程、先進封裝產能，並積極擴廠。而 Monolithic 就是行動者最好的例子，專利申請相當活躍，在 3D-IC 申請中排名第二，但實際作為相當少。

## 三、台灣半導體產業 SWOT 分析

本團隊以 SWOT 分析我國半導體產業的內部條件與外部威脅，總共包含四項:優勢 Strength、機會 Opportunity、劣勢 Weakness、威脅 Threat 的因素，並針對每個不同情況下提出因應對策。即從 SWOT 分析表中，依據陣列相對應關係，提出 SWOT 策略分析(SO 策略、WO 策略、ST 策略及 WT 策略)等四大策略，以下表說明之：

表 17 SWOT 分析表

內部分析 外部分析	優勢(S)	劣勢(W)
	1. 晶圓代工技術領先 2. 3D Fabric聯盟成立，一條龍生產服務 3. 完善的半導體產業結構	1. 台灣IC設計公司多為中小企業，訂單仰賴國外廠商 2. 半導體產業人才斷層
機會(O)	SO-增長性策略	WO-扭轉性策略
1. 高效能運算、技術需求與日俱增 2. IC 設計產業發展潛力	1. 吸引外資投入 2. 研發新興技術 3. 持續申請相關技術專利	1. 提升IC設計技術 2. 進行人才培養 3. 相關法律制定
威脅(T)	ST-多元化策略	WT-預防性策略
1. 同類型競爭者，虎視眈眈 2. 避免外商高薪挖角人才，以增進企業向心力	1. 專利布局策略 2. 提升技術品質	1. 政府補助發展津貼，防止人才外流 2. 完善基層教育，提倡相關領域知識

(資料來源:本研究整理)

#### 四、台灣半導體產業波特五力分析

麥可·波特在 1979 年提出的架構，其用途是定義出一個市場吸引力高低程度。「五力」指的是五種競爭作用力，五種力量的不同組合變化，最終影響行業利潤潛力變化。

為了了解台灣半導體產業該如何在市場中找出自身利基點與發展方向，蒐集市場現況、專利分析結果以及產業鏈資訊，整理出五力分析報告如下：

表 18 波特五力分析

項目	程度	說明
現有競爭者之間的威脅	高	<p>同為晶圓代工廠的三星和 Intel 擁有產品多樣化的策略，台灣廠商需持續研發且維持生產優勢，在先進製程上突破競爭者的威脅。</p> <p>在 3D Fabric 聯盟中三星和台積電屬於合作關係，三星在記憶體領域和台積電積極合作，凸顯半導體產業趨勢。三星記憶體產品規劃集團副總裁 Kyungsoo Ha 也在新聞稿指出，三星記憶體一直與台積電緊密合作。在晶圓代工的部分，他們同時也是競爭關係。台積電和三星分別是在 2023 年第一季營收排名分別是第一和第二，「台積電」2023 年首季營收 167.4 億美元，「三星」首季營收只有 34.5 億美元，由此可知營收差距相當巨大。</p>

供應商的議價能力	中	晶圓代工的領導廠商可以主導技術及提供產品驗證，能取得具有競爭力的價格。
替代品的威脅	低	目前沒有其他產品可代替晶圓體，短期內很難找到同質替代品。
消費者的議價能力	中	客戶可依訂單規模及規格議價，
潛在的新進入者	低	門檻過高，新進公司需花大量時間來跟上現有製程。

(資料來源:本研究整理)

## 五、國內企業專利分析與布局

國內半導體產業鏈過往至今，擁有完善的分工體系，從 IC 設計、晶圓代工到最後的封裝測試，而台積電近年致力於先進封裝的技術研發，打破了我們既有的想法，台積電不僅在晶圓代工上保有強大競爭力，在 2011 年台積電就表示，「封測廠已經跟不上晶圓代工的腳步了，摩爾定律已經開始告急，與其乾等著急，不如自行向外發展」，與此同時台積電開始致力於封裝技術的研發，也就是打造「一條龍」的服務解決方案，對客戶來說跟台積電下單，能夠同時完成後段的封裝測試服務，以減少和其他企業廠商進行溝通的成本。從本研究第三章所提及台積電所成立的開放創新平台(OIP 六大聯盟)，台積電和其他領域之企業建立合作關係，以利獲取企業競爭優勢，維持產業領導地位。

封測大廠日月光也是聯盟成員之一，台積電在封測領域上的最大競爭者同時也是合作關係，日月光在封測領域的地位如同台積電在晶圓代工上，年營收和公司規模來看，都是全球半導體封測產業龍頭。近幾年台積電發展先進封裝，造成傳統封測廠的威脅。而日月光在營業策略上和台積電截然不同，他們透過收購以及策略聯盟等方式擴展產能規模，並提供前段測試及後段之封裝、材料及成品測試的一元化服務。本團隊藉由兩公司在封裝技術上的專利申請數量，進行趨勢分析比較，以下為檢索條件：

((台灣積體電路製造股份有限公司 OR TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD OR 大陸商台積電(中國)有限公司 OR TSMC CHINA COMPANY LIMITED OR 台灣積體電路製造股▲ふん▼有限公司; Taiwan Semiconductor Manufacturing Company,Ltd OR 台積電(南京)有限公司) AND (packaging AND chip\*)AND (IC=H01L\*)

((日月光半導體製造股份有限公司 OR ADVANCED SEMICONDUCTOR ENGINEERING, INC OR 日月光半導體製造股▲ふん▼有限公司; ADVANCED SEMICONDUCTOR ENGINEERING INC OR 日月光半导体制造股份有限公司 OR 矽品精密工業股份有限公司 OR SILICONWARE PRECISION INDUSTRIES CO., LTD OR 矽品精密工业股份有限公司) AND(packaging AND chip\*) AND (IC=H01L\*)

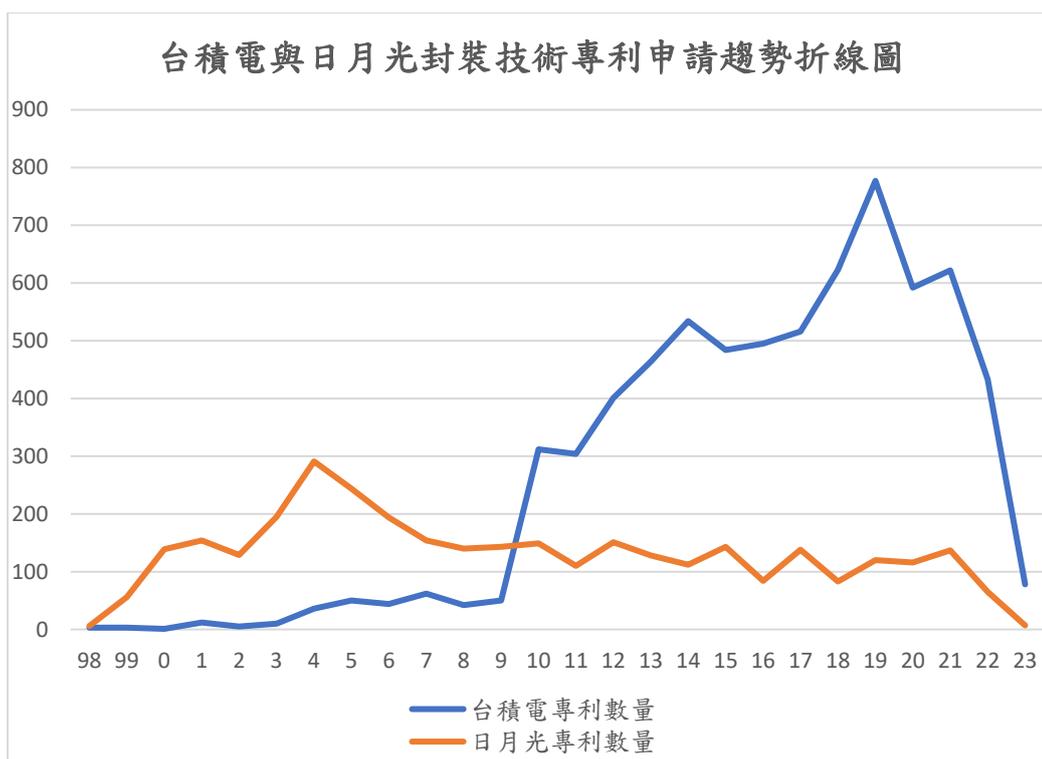


圖 56 台積電與日月光封裝技術專利申請趨勢折線圖

由圖 54 本團隊整理出以下兩點

1. 日月光 2010 年前的專利申請數量相對台積電較多，也意味著他們更早進行封裝技術上的專利布局和技術發展，也搶佔了許多先機，確立了在產業上的地位。
2. 台積電自 2010 年起專利申請數量急速攀升，積極發展先進封裝技術，目的是打造由上而下的一條龍服務，這也應證了前面台積電表示想要自己做封測的決心。

最後從產業面來看，進一步分析日月光和台積電的競爭合作關係，日月光是台積電 3D Fabric 聯盟的一員，訂單一部分來自台積電的先進製程訂單，兩者的合作關係相當密切且互利；競爭關係應是在於封測新技術上的研發及比拚，誰能夠搶得新型技術的核心，是立足產業領先者的不二法門。

## 六、國外企業專利分析與布局

本段討論審查委員之建議競爭者威脅，並將封裝技術重視程度進行比較

表 19 台積電與國外封裝技術比較

公司	TSMC	三星	Intel
技術	CoWoS	I-cube、H-cube	EMIB
	InFo	FO-PLP、X-cube	Foveros
	SoIC		

<p>優勢及特色</p>	<p>對封裝技術有高掌握度，因此建立 3D Fabric 聯盟達到互助的效果，最大受益人還是台積電本身。</p> <p>一大票具備 HBM 記憶體的高階產品，從 AMD Vega20、Nvidia A100/P100/V100、Google 的第二/第三代 TPU、Xilinx 的高階 FPGA、Intel 的 NNP-T1000(Spring Crest，已被腰斬)人工智慧訓練處理器、成為 Intel 人工智慧新歡的 Habana Gaudi、Intel 的 SDN(軟體定義網路)交換晶片 Barefoot Tofino 2、和日系高效能運算核心 Fujitsu A64FX 與 NEC SX-Aurora，總計超過 60 個案例，都是台積電 2.5D 封裝技術 CoWoS 的座上嘉賓。</p>	<p>三星在記憶體的部分市占率相當高，目前甚至對記憶體進行減資，可見他們對市佔率有相當高的把握。並洗要投資在先進封裝，追上台積電的腳步。</p> <p>三星正積極發展先進封裝技術，2021 年推出「X-Cube」3D 封裝技術，去年底成立了先進封裝團隊 (AVP)。據了解，三星明年第 2 季將量產「X-Cube4」，整合四顆 HBM 的 GPU，第 3 季推出「X-Cube8」，即搭載八顆 HBM 的 GPU。</p>	<p>Intel 最新推出以玻璃為基板的先進封裝方案，突破現有傳統基板的限制，讓半導體封裝電晶體數量極限最大化，同時更省電、更具散熱優勢，將用於更高速、更先進的資料中心、AI、繪圖處理等高階晶片封裝。</p> <p>目前發表的 Intel Xeon Max 系列、Intel Data Center GPU Max 系列都已搭載 EMIB 封裝技術。</p> <p>更先進的 3D Foveros 先進封裝技術部分，則是讓頂層晶片不再受限於基層晶片大小，且能夠搭載更多頂層與基層晶片，並透過銅柱直接將頂層晶片與基板相連，減少矽穿孔 (TSV) 數量以降低其可能造成之干擾。未來將搭載在即將發表的 Meteor Lake、Arrow Lake 和 Lunar Lake 等系列處理器</p>
--------------	--	---	--

(資料來源:本研究整理)

目前消息大多指出台積電的 CoWoS 封裝技術擁有大多數具 HBM 的高階記憶體的訂單，但從上表可知，三星和 Intel 目前也正在積極的布局與研發 2.5D 及 3D 封裝技術，甚至有三強鼎立之說，對台積電來說不可太過樂觀，但在晶圓代工的營收表現能看出台積電是有相當大的領先，但在對手不斷的進步之下，自己勢必也必須得持續進步。能由上表得知三星和 Intel 大部分的訂單都會先套用在自家產品上，三星最強的部份是記憶體，就先應在自家手機，Intel 則是將封裝技術運用自家的處理器，消息面來說目前全世界先進封裝的產能都幾乎掌握在晶圓代工龍頭台積電的手中，又多數需要先進封裝的產品也都在台積電

生產的情況下，所以會有日前傳出台積電的先進封裝產能無法滿足市場需求，使得輝達 AI 晶片可能一部分轉單給三星進行生產的消息。如此，Intel 在當前先進製程仍缺少客戶情況下，市場預計先進封裝產能當前都會以自己本身產品使用為主。然而，Intel 似乎也了解到其問題所在，因此在當前仍無法大量取得先進製程客戶的情況下，Intel 也將允許客戶單獨採購先進封裝的情況，也就是晶片的先進製程由其他代工廠來製造，之後先進封裝的部分可以由 Intel 來進行。這方面有機會解決當前先進封裝產能不足的問題，也降低了在晶片製造過程中的機密性風險，似乎有其利基點。不過，要單獨接單先進封裝，牽扯到晶圓製造完成後的輸送責任歸屬與風險，加上客戶對 Intel 的信任等問題，這也是其他有能力進行先進封裝的第三方封測廠所面臨的瓶頸。因此，是不是真的能夠實現，則還有待進一步觀察。

再蒐集足夠資料後，本團隊利用 GPSS 進行三間公司專利檢索的檢索，將公司名稱用 OR 框住後再將封裝(Packaging)和晶片(chip\*)再使用 AND 將檢索是結合，不利用過多繁雜的檢索是去檢索更能將三間公司對封裝技術的重視程度做對比，本團隊討論後將時間設定在 2000 年後，因為台積電在 2000 年前還並未對封裝技術的專利進行申請，可從以下資料看出台積電的封裝技術發展過程，以下是本團隊的檢索式：

表 20 台積電、三星、Intel 檢索式

公司	台積電	三星	Intel
檢 索 式	((台灣積體電路製造股份有限公司 OR TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD OR 大陸商台積電(中國)有限公司 OR TSMC CHINA COMPANY LIMITED OR 台灣積體電路製造股▲ふん▼有限公司; Taiwan Semiconductor Manufacturing Company,Ltd OR 台積電(南京)有限公司) AND (packaging AND chip* )AND (IC=H01L*)	((SAMSUNG ELECTRO-MECHANICS CO., LTD. OR SAMSUNG ELECTRONICS CO., LTD. OR 三星) AND ( packaging AND chip* )AND (IC=H01L*)	(( INTEL CORPORATION OR INTEL IP CORPORATION OR intel OR 美商英特爾股份有限公司) AND( packaging AND chip*)) AND (IC=H01L*)

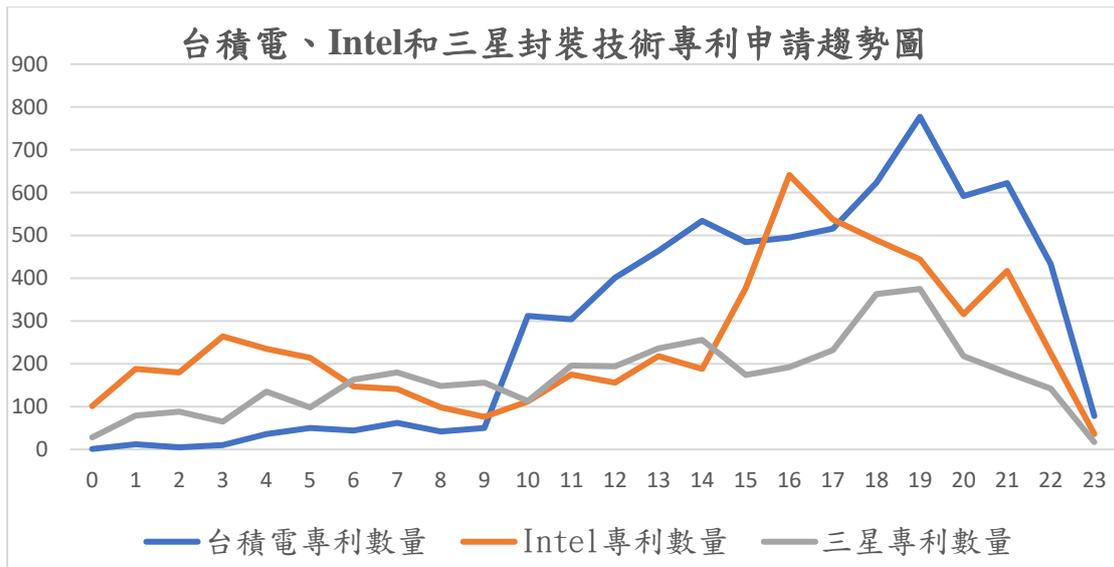


圖 57 台積電、三星和 Intel 封裝技術專利申請趨勢圖

由上表檢索式能得出這三間公司的封裝技術專利申請趨勢圖，此圖縱軸為專利數量、橫軸為年分，由此圖能得知他們從 2000 年後的專利申請數量，能發現台積電自 2010 年後開始注重封裝技術，除了 2016 年申請數量略低於 Intel，近 15 年可說是封裝技術裡的霸主，台積電目前已擁有五座封裝廠，今年 6 月啟用的苗栗竹南 3D Fabric 廠更是包括前後端的 SoIC、CoWoS 及 InFO 由此看出台積電對封裝技術有相當大的重視程度，相較 Intel 只有一座封裝廠，形成強烈對比。但 Intel 將目標放在 2025 年，目前正在興建位於馬來西亞檳城的封裝廠，主要使用 Intel 最新的 Foveros 技術，預估產能將提升四倍。三星也正字興建半導體園區，試圖打造半導體一條龍生產服務，光是從這幾點就能察覺先進封裝的魅力所在，以及他能帶來多大的產值，目前艾克爾 (Amkor)、索尼 (Sony)、德州儀器 (TI)、SK 海力士 (SK Hynix) 等大廠皆已布局先進封裝，台積電是否能持續維持現在的好成績仍是本團隊我關注的重點。

本段探討台積電國外對手的 3D 堆疊技術，利用專利申請日來探討他們大約何時開始發展此技術，並找尋被參考次數最多的專利，可推斷專利的重要性，以及重視程度，來推斷誰擁有較佳的技術，並利用人工篩選出符合所需之相關資料。

InFO 技術檢索式:(Integrated Fan-Out OR InFO OR 整合扇外型封裝) AND AD=2010:20230630 AND (IC=H01L\*) SoIC 技術檢索式: (SoIC OR Chip on wafer OR wafer on wafer) AND AD=2010:20230630 AND (IC=H01L\*)，本團隊想要找尋這兩項技術的珍珠專利，但檢索結果都指向同一個專利，專利申請人為 **Taiwan Semiconductor Manufacturing Company, Ltd. (TW)**，專利名稱為: **Stacked semiconductor devices and methods of forming same**，被引用次數為 **986** 次，申請日期為 2014/10/17，距今已接近 9 年，再加上研發時間，能合理推斷此技術從研發到真正做到能符合客戶需求沒有 5 年以上是不可能的，再次佐證台積電強大的研發能力，被參考次數達 986 次是一個相當高的次數，也奠定了相當多封裝技術的基底。

本段探討台積電國外對手的 3D 堆疊技術，利用專利申請日來探討他們大約何時開始發展此技術，並找尋被參考次數最多的專利，可推斷專利的重要性，及重視程度，來推斷誰擁有較佳的技術，並利用人工篩選出符合所需之相關資

料。

檢索式: (intel AND Three-Dimensional) AND AD=2010:20230630 AND (IC=H01L\*)本團隊使用上述 Intel 檢索式尋找珍珠專利，使用被參考次數，可發現最高的被參考次數僅達 196 次，申請日期為 2018/06/18，專利申請人為: **Intel Corporation (US)**，專利名稱為: **THREE-DIMENSIONAL (3D) MEMORY WITH SHARED CONTROL CIRCUITRY USING WAFER-TO-WAFER BONDING**。

檢索式: (samsung AND three-dimensional) AND AD=2010:20230630 AND (IC=H01L\*)使用上述三星檢索式尋找珍珠專利，專利名稱:**Three-Dimensional Semiconductor Memory Devices And Methods Of Fabricating The Same**，申請人為 **SAMSUNG ELECTRONICS CO., LTD. (KR)**，申請日期為 2011/03/25 日，記憶體的大廠早在 2011 年前就開始了 DRAM 堆疊的技術研究，和 Intel 的 3D 堆疊技術形成強烈對比，光是申請年份的差了 7 年，另本團隊震驚不已。被參考次數達 767 次，奠定現今大多數的記憶體的 3D 堆疊的基礎。

本團隊經資料整理後得出下列總結:

1. 晶圓代工台積電市占率過高，反而讓三星和 Intel 有機會爭奪訂單。
2. 台積電市占率高的原因很明確，台積電的先進封裝技術已有多多年經驗及穩定度。
3. 目前三星及 Intel 正在積極投資封裝技術，但距離台積電還有 5-10 年的差距。
4. 很多消息面的部份都指出三星的良率超車台積電，若此項屬實，訂單數少於台積電的真因為何?
5. 專利申請數量雖然不能斷定技術較佳，但有一定的參考價值，本團隊也能從產能的部分來看，台積電在產能占比的部分一直都是世界龍頭。

台積電未來發展建議:

1. 持續針對創新技術進行積極的專利布局。
2. 儘管封裝技術目前處於領先位置，且已知台積電未來已確定新增高雄廠及苗栗銅鑼廠，為避免未來產能過剩，研發出更進步的技術仍然是首要目標。

## 捌、結論

科技快速發展，使人們的生活更加便利，生活周遭隨處可見以半導體為應用的物品，尤其 HPC 高效能運算、AI、電動車、物聯網都是未來發展的趨勢，依據 2023 市場趨勢來看，AI 的市場規模逐漸擴大，對於晶片的需求更大、要求的效能更高，因此需要更先進的製程，而 3D 晶片堆疊作為最關鍵之技術之一，透過垂直立體的方式將多種晶片進行異質整合，使晶片效能更加強大。而台積電的先進封裝技術即是以 3D 堆疊為基礎，開發出前端 SoIC 晶片堆疊與後段 CoWoS、InFO 先進封裝技術，以達成速度快，體積小的需求。再從台灣產業現況來看，無論是晶圓代工或是後段的封裝測試，都擁有世界一流的製程技術和產業規模。加上新成立的台積電 3D Fabric 聯盟，包辦半導體製程前段的 IC 設計到後段的製程封裝，提供顧客「一條龍」服務解決方案，提升台灣整體產業的價值與優勢，已經具備與國際競爭發展的實力。

因此，本研究觀察到以上趨勢及現況，提出建議如下。透過三維堆疊技術進行專利分析後，了解到台積電作為第一申請人，申請之專利數量明顯高於其他競爭者，可見台積電在半導體領域的具有極大之影響力，也能從本研究之檢全率看出台積電對 3D-IC 相關技術重視程度，未來誰能處理器晶片堆疊技術能在市場占有極大優勢。此外，本團隊再進一步分析台積電先進封裝技術，認為目前技術處於高速成長期，若能利用專利布局策略來進行核心技術的保護，更能有效阻絕競爭者所帶來的威脅。台積電擁有最先進的技術與龐大企業體，因此本團隊認為，台積電適合採用「策略式專利」方法進行專利布局，以現有高階技術來建立高門檻，使競爭對手進入產業的難度提高。而中小企業適合利用「圍繞式策略」，針對競爭對手核心專利，形成包圍網，以阻撓對手進行下一步之專利布局。

另外，日月光為 3D Fabric 聯盟後段封測成員之一，長期名列世界封測大廠，且與台積電擁有相當密切的關係，兩個企業既是合作關係也是競爭關係，從兩者專利申請趨勢可以得到，台積電自從進入封裝領域，專利申請數逐年上升，日月光作為較早進入封裝領域的企業，應多利用本身對於產業的理解，進一步進行專利布局，以穩固第一封測廠之地位。國外產業的部分，三星為主要競爭對手，即使目前台積電在封裝技術上擁有優勢，但仍持續進行相關專利布局，穩固自身實力，並應注意人才外流情況。最後，以台積電 3D Fabric 聯盟成員角度來看，聯盟成員依據所擅長之領域，以資訊共享之方式，搶占新興市場，例如前述的 HPC 領域等等，並提早進行專利布局，以壯大聯盟與本身企業在產業上之影響力，使企業在國際市場上佔有一席之地。

## 玖、參考文獻

1. 半導體產業鏈：  
<https://ic.tpex.org.tw/introduce.php?ic=D000>
2. 5G 時代手機晶片 (Soc, Sic):  
<https://www.bnnext.com.tw/article/56653/5g-ic>
3. 【半導體】先進製程及先進封裝：  
<https://vocus.cc/article/62eb1d97fd8978000182ce51>
4. 中國 6G 專利申請量占比 40.3% 全球第一：  
[https://www.sbir.org.tw/news/ipccknowledge\\_content?id=10468&page=41](https://www.sbir.org.tw/news/ipccknowledge_content?id=10468&page=41)
5. 異質整合、2 奈米晶片之爭，2022 年臺灣半導體重大影響趨勢與關鍵技術有哪些？—專訪工研院電子與光電系統研究所所長吳志毅：  
[https://scitechvista.nat.gov.tw/Article/C000003/detail?ID=e8cc87bd-fd95-4063-bd98-248c19ce5fa9&fbclid=IwAR3oFE3jhLcPujU491Zfvkrv3yc0Y0D\\_QEiF5RZyYmgdguXoHh3XrtVQWgs](https://scitechvista.nat.gov.tw/Article/C000003/detail?ID=e8cc87bd-fd95-4063-bd98-248c19ce5fa9&fbclid=IwAR3oFE3jhLcPujU491Zfvkrv3yc0Y0D_QEiF5RZyYmgdguXoHh3XrtVQWgs)
6. 先進封裝：八仙過海各顯神通：  
<https://www.eettaiwan.com/20210805nt61-advanced-packaging/?fbclid=IwAR3IOvvmciKaBUTcrkGNSDb1QCdpOuIcO44plyj2PJMvwoEDd0hPwxrqq>
7. 台積董總異口同聲證實 先進封裝供不應求到擴產中：  
[https://ec.ltn.com.tw/article/breakingnews/4324709?fbclid=IwAR0t6jOX3S0hjJ71FyGSTBiDP5r3\\_TdXLUoUOgQ9ciZse9djWdnunOSGXGM](https://ec.ltn.com.tw/article/breakingnews/4324709?fbclid=IwAR0t6jOX3S0hjJ71FyGSTBiDP5r3_TdXLUoUOgQ9ciZse9djWdnunOSGXGM)
8. 佔據 EDA 七成以上市佔率！「三巨頭」新思科技、益華電腦、西門子，憑什麼拿下半導體最關鍵一環市場？：  
<https://buzzorange.com/techorange/2022/10/04/us-china-chips-war/?fbclid=IwAR2XCwxkR8buJSHAs4fcmr2vu05gbLYcMiehjSvwi5XtoLZFxYeMHb6-qiw>
9. GAAFET 為何在 3nm 節點輸給 FinFET？  
<https://www.eettaiwan.com/20220325nt61-gaafet-vs-finfet-in-3nm/>
10. 策略性專利布局：從企業專利策略到專利布局  
<file:///C:/Users/MASTER/Downloads/%E7%AD%96%E7%95%A5%E6%80%A7%E5%B0%88%E5%88%A9%E5%B8%83%E5%B1%80%EF%BC%9A%E5%BE%9E%E4%BC%81%E6%A5%AD%E5%B0%88%E5%88%A9%E7%AD%96%E7%95%A5%E5%88%B0%E5%B0%88%E5%88%A9%E5%B8%83%E5%B1%80.pdf>
11. 全球專利檢索  
<https://gpss4.tipo.gov.tw/gpsskmc/gpssbkm?@@0.6131693881758358>
12. IPC 國際專利分類查詢  
<https://topic.tipo.gov.tw/patents-tw/sp-ipcq-full-101.html>
13. 台積電官網  
<https://www.tsmc.com/chinese>
14. 避免半導體產業被政治綁架—對於 Chip 4 晶片聯盟的商榷  
<https://view.ctee.com.tw/technology/48752.html?fbclid=IwAR2-T0KNX36rvumSBjD01qjf7le9zUK3u7rlgjUy96R1Tcb3L6tb70CBdxo>
15. 台積電專利申請步入恐怖「倍增期」核准率 100% 祕訣公開  
[https://www.chinatimes.com/amp/realtimenews/20230426005878-260410?fbclid=IwAR38Pv2R9fF21X9BrIOMdSda5MqslO2qgN3E659MxzJc\\_cM6XpngbSBpnsk](https://www.chinatimes.com/amp/realtimenews/20230426005878-260410?fbclid=IwAR38Pv2R9fF21X9BrIOMdSda5MqslO2qgN3E659MxzJc_cM6XpngbSBpnsk)

16. TSMC's Chip Scaling Efforts Reach Crossroads at 2nm  
<https://www.eetimes.com/tsmcs-chip-scaling-efforts-reach-crossroads-at-2nm/>
17. NVIDIA 急預訂先進封裝台積萬片 CoWoS 產能備戰  
[https://www.digitimes.com.tw/tech/dt/n/shwnws.asp?id=0000663703\\_KLX6K111IH\\_FGLL2FSXV3K](https://www.digitimes.com.tw/tech/dt/n/shwnws.asp?id=0000663703_KLX6K111IH_FGLL2FSXV3K)
18. 產官學研攜手 布局下世代半導體前瞻技術  
<https://www.ey.gov.tw/Page/5A8A0CB5B41DA11E/6bbd5511-ca28-4133-b7f1-0467d37f6e8a>
19. 加速半導體前瞻科研及人才布局—穩固我國在全球半導體產業鏈的關鍵地位  
<https://www.applichem.com.tw/news-detail-2883947.html>
20. Ansforce 知識平台-先進積體電路封裝  
<https://www.ansforce.com/knowledge/package>
21. 三代半導體材料比較  
<https://readers.ctee.com.tw/cm/20220302/a38ac2/1172339/share>
22. 經濟部智慧財產局  
<https://www.tipo.gov.tw/tw/mp-1.html>
23. 台積電封裝接單 旺到年底  
<https://readers.ctee.com.tw/cm/20210614/a03aa3/1130047>
24. 開放創新平台 (OIP)  
<https://esg.tsmc.com/ch/update/innovationAndService/caseStudy/1/index.html>
25. 全球 Q1 晶圓代工營收排名出爐「護國神山」台積電市占率突破 60%持續霸榜  
[https://www.upmedia.mg/news\\_info.php?Type=3&SerialNo=174893](https://www.upmedia.mg/news_info.php?Type=3&SerialNo=174893)
26. Siemens 官網  
<https://www.siemens.com/tw/zh.html>
27. 愛專利 - 讓發明更強大並轉換成錢  
<https://www.ipbanks.com/post/%E5%B0%88%E5%88%A9-vs-%E7%87%9F%E6%A5%AD%E7%A7%98%E5%AF%86>
28. 迎專利倍增期 台積電加速台灣布局  
<https://ec.ltn.com.tw/article/paper/1579716>
29. 日月光官網  
<https://ase.aseglobal.com/ch/#gsc.tab=0>
30. 寄予厚望！三星推 FO-PLP 2.5D 先進封裝技術追趕台積電  
[https://technews.tw/2023/09/14/samsung-launches-fo-plp-2-5d-advanced-packaging-technology/?fbclid=IwAR3vfaY\\_NyCJ3Mxe9Kvmbod0xHS\\_Zg7eCnLji\\_jRoGB9Lsn2j0WyKB1Muq8E](https://technews.tw/2023/09/14/samsung-launches-fo-plp-2-5d-advanced-packaging-technology/?fbclid=IwAR3vfaY_NyCJ3Mxe9Kvmbod0xHS_Zg7eCnLji_jRoGB9Lsn2j0WyKB1Muq8E)
31. 巨頭們的先進封裝技術解讀  
[https://www.usmart.hk/en/news-detail/6884767814725534171?fbclid=IwAR19D7oq7uDkg0qbLIGJnq9CV60d8xGd5CcF\\_1NhTNtowhenAU09hEOBqVw](https://www.usmart.hk/en/news-detail/6884767814725534171?fbclid=IwAR19D7oq7uDkg0qbLIGJnq9CV60d8xGd5CcF_1NhTNtowhenAU09hEOBqVw)
32. 英特爾最先進的封裝技術，兩張圖看懂！客戶有譜了？跟台積電差在哪？  
[https://www.bnext.com.tw/article/76476/meteor-lake-3dic-25d-intel?fbclid=IwAR0187kcaJv4WMnGjDeu2qndpzE4ftby02-\\_F1I\\_5cZICraLIVJSFFWs\\_-8](https://www.bnext.com.tw/article/76476/meteor-lake-3dic-25d-intel?fbclid=IwAR0187kcaJv4WMnGjDeu2qndpzE4ftby02-_F1I_5cZICraLIVJSFFWs_-8)
33. 英特爾大擴先進封裝產能，開放客戶單獨購買搶攻市場

<https://technews.tw/2023/08/29/intel-expands-advanced-packaging-capacity/?fbclid=IwAR2t-eFpK90eobJkIC8RJw7bof5YmluORQkjyPNKrDt-t3P6bIc2Qnudt0>

34. 〈財經週報-半導體先進封〉先進封裝戰場 英特爾、三星難敵台積電

[https://ec.ltn.com.tw/article/paper/1605337?fbclid=IwAR341MMNrH6aCasIqMHgWD4\\_Q3\\_r4h3coh93aXDopMUdDnGovRDGzvbTtgU](https://ec.ltn.com.tw/article/paper/1605337?fbclid=IwAR341MMNrH6aCasIqMHgWD4_Q3_r4h3coh93aXDopMUdDnGovRDGzvbTtgU)

35. 英特爾、台積電戰場擴大 先進封裝百億美元投資設下高門檻

[https://www.digitimes.com.tw/tech/dt/n/shwnws.asp?id=0000672097\\_J2G1EHVC8Y7Q0E8X015CL&fbclid=IwAR3GNn4zD-kzjY24agqNqrJFBcDQuuKe-6kS\\_k3caK9xNwpVyRB92t\\_2J1I](https://www.digitimes.com.tw/tech/dt/n/shwnws.asp?id=0000672097_J2G1EHVC8Y7Q0E8X015CL&fbclid=IwAR3GNn4zD-kzjY24agqNqrJFBcDQuuKe-6kS_k3caK9xNwpVyRB92t_2J1I)

36. 為何台積電、英特爾砸重金搶蓋先進封裝廠？兩張圖看半導體巨頭全球版圖布局

[https://money.udn.com/money/story/5612/7395099?fbclid=IwAR3GNn4zD-kzjY24agqNqrJFBcDQuuKe-6kS\\_k3caK9xNwpVyRB92t\\_2J1I](https://money.udn.com/money/story/5612/7395099?fbclid=IwAR3GNn4zD-kzjY24agqNqrJFBcDQuuKe-6kS_k3caK9xNwpVyRB92t_2J1I)

37. 台積電攻 3D 晶片 三星助陣

<https://udn.com/news/amp/story/7240/6720366?fbclid=IwAR3UbCibBvDfnauyhwyhQ0QEke0p7kdD2eaUmRxP00P4atL310zVa0-GYhI>

38. 台積電專利申請步入恐怖「倍增期」 核准率 100% 祕訣公開

[https://www.chinatimes.com/amp/realtimenews/20230426005878-260410?fbclid=IwAR0ssQyidL5ZEgJWX8AhSdb0v8JIEOmt\\_KriuT3oT5EddGY-m3dD\\_ZGMzq4](https://www.chinatimes.com/amp/realtimenews/20230426005878-260410?fbclid=IwAR0ssQyidL5ZEgJWX8AhSdb0v8JIEOmt_KriuT3oT5EddGY-m3dD_ZGMzq4)

39. 三大 EDA 贊助商

<https://www.granitefirm.com/blog/blog/2023/06/14/%E6%96%B0%E6%80%9Dsy-nopsys%E7%9B%8A%E8%8F%AFcadence%E4%B8%89%E5%A4%A7eda/?fbclid=IwAR0Ij73f8ZxVwctGXeaEtYdbadU0yc86t5ILriG6FfeJcupYFwvqRt1Rls>

40. 陳光華·資訊檢索的績效評估·國立台灣大學圖書資訊學系

<https://www.lis.ntu.edu.tw/~khchen/writtings/pdf/taiwanir2004.pdf>

41. Samsung Semiconductor

<https://semiconductor.samsung.com/dram/>

42. Intel Semiconductor

<https://www.intel.com/content/www/us/en/homepage.html>

43. Monolithic 3D inc

<http://www.monolithic3d.com/>

44. 台積電調 3Dblox 2.0 新標準

[https://tw.news.yahoo.com/%E5%8F%B0%E7%A9%8D%E5%AE%9A%E8%AA%BF3dblox-2-0%E6%96%B0%E6%A8%99%E6%BA%96-201000006.html?guce\\_referrer=aHR0cHM6Ly93d3cuZ29vZ2x1LmNvbS8&guce\\_referrer\\_sig=AQAAAHi8gkrNckWkBhWEzmo7kjRBQiKfuSdM8qVpebAp05iCKM40SVozyhbFOBbFcb2bwVBVjYYmtzSL8yJErVElpaUwFZ-qb3VaFb2s6OR9M-PgFFEW-JjxAWIqhWrZ\\_V-1SbpjRyggs2u\\_S6IIRceVovoT3hEe33UpsdOhPog20U1](https://tw.news.yahoo.com/%E5%8F%B0%E7%A9%8D%E5%AE%9A%E8%AA%BF3dblox-2-0%E6%96%B0%E6%A8%99%E6%BA%96-201000006.html?guce_referrer=aHR0cHM6Ly93d3cuZ29vZ2x1LmNvbS8&guce_referrer_sig=AQAAAHi8gkrNckWkBhWEzmo7kjRBQiKfuSdM8qVpebAp05iCKM40SVozyhbFOBbFcb2bwVBVjYYmtzSL8yJErVElpaUwFZ-qb3VaFb2s6OR9M-PgFFEW-JjxAWIqhWrZ_V-1SbpjRyggs2u_S6IIRceVovoT3hEe33UpsdOhPog20U1)

45. ISSCC 2021

<https://ieeexplore.ieee.org/xpl/conhome/9365732/proceeding>