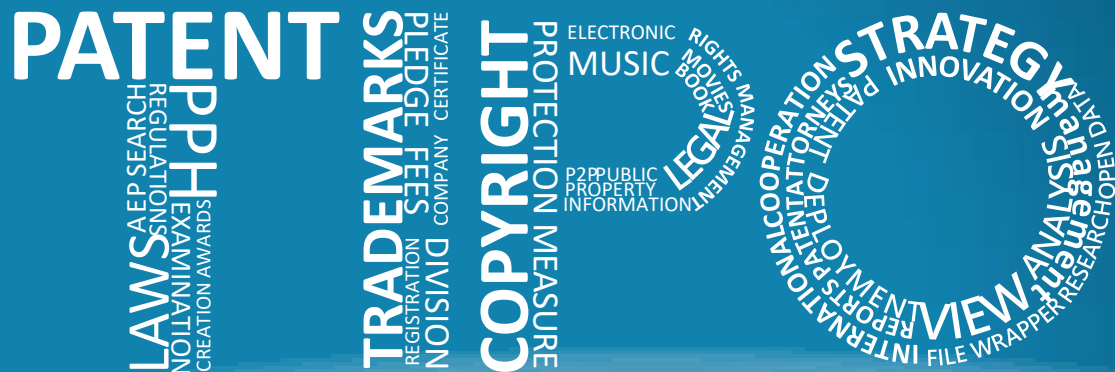




經濟部智慧財產局

發明初審檢索歷程公開規劃說明

專利審查二組

2024.07

發明案件檢索歷程建置及公開規劃

2019

發明案件檢索歷程

記錄功能上線

檢索資料庫、檢索式、
檢索筆數

2020~2024

檢索品質精進

檢索歷程填寫教育訓練、
品質調查、系統改善

2025 (預計)

公開專利檢索中心

發明初審檢索歷程

蒐集內外部意見、
持續優化相關措施

2026 (預計)

公開本局全部
發明初審檢索歷程

新版檢索報告 (含檢索歷程)

附件

第 號專利申請案檢索報告

1. 申請日：112年2月23日		
2. 優先權日：2022年9月20日		
3. 本案國際專利分類號(IPC)： G11C16/30 (2006.01) , H10B69/00 (2023.01) H01L23/49 (2006.01) , H01L21/66 (2006.01) H01L21/768 (2006.01)		
4. 檢索國際專利分類號(IPC)範圍： H01L		
5. 檢索使用資料庫名稱： 全球專利檢索系統(GPSS)、國內外專利資料庫全域檢索系統、EPO Espacenet		
關聯性代碼	引用文獻資料與相關段落處	相關聯請求項
X A	1. US 2022/0262694 A1 2022/08/18 圖1；【0050-0053】	1~5 6~10
A	2. TW 202249230 A 2022/12/16 全文	1~10
A	3. US 2011/0316147 A1 2011/12/29 全文	1~10
A	4. JP 2004-119691 A 2004/04/15 全文	1~10

檢索歷程

序號	檢索資料庫名稱	檢索式	檢索筆數	引用文獻
1	全球專利檢索系統 (GPSS)	((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)	125	1 US 2022/0262694 A1
2	國內外專利資料庫 全域檢索系統	(記憶體堆疊 and 中介 and 橋接) AND (IC=H01L-023*) AND (AD=:2022920 OR DR=:20220920)	22	2 TW 202249230 A
3	EPO Espacenet	US 16/746711 審查意見	N/A	3 US 2011/0316147 A1
4	國內外專利資料庫 全域檢索系統	WO 2020/231545 A1 審查意見	N/A	4 JP 2004-119691 A
5	國內外專利資料庫 全域檢索系統	一案兩請	N/A	5 TW Mxxxxxxx U
6	國內外專利資料庫 全域檢索系統	分割案	N/A	6 TW xxxxxxxxxx A
7	國內外專利資料庫 全域檢索系統	本案說明書內記載	N/A	7 US xxxxxxxx B1
8	全球專利檢索系統 (GPSS)	((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)	125	
9	全球專利檢索系統 (GPSS)	US20220262694A1 引用	1	8 US 2017/0250138 A1
10	國內外專利資料庫 全域檢索系統	(記憶體堆疊 and 中介 and 橋接) AND (IC=H01L-023*) AND (AD=:2022920 OR DR=:20220920)	22	

檢索歷程例示：一般檢索



全球專利檢索系統
Global Patent Search System

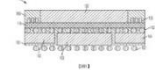
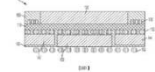
01:2

主題專

檢索結果：共 125 筆，第 1/13 頁，每頁 10 筆

本頁： [] [] 本次： [] [] (0) 加入標記清單 回查詢 檢索及顯示設定 友善列印 [] [] [] []

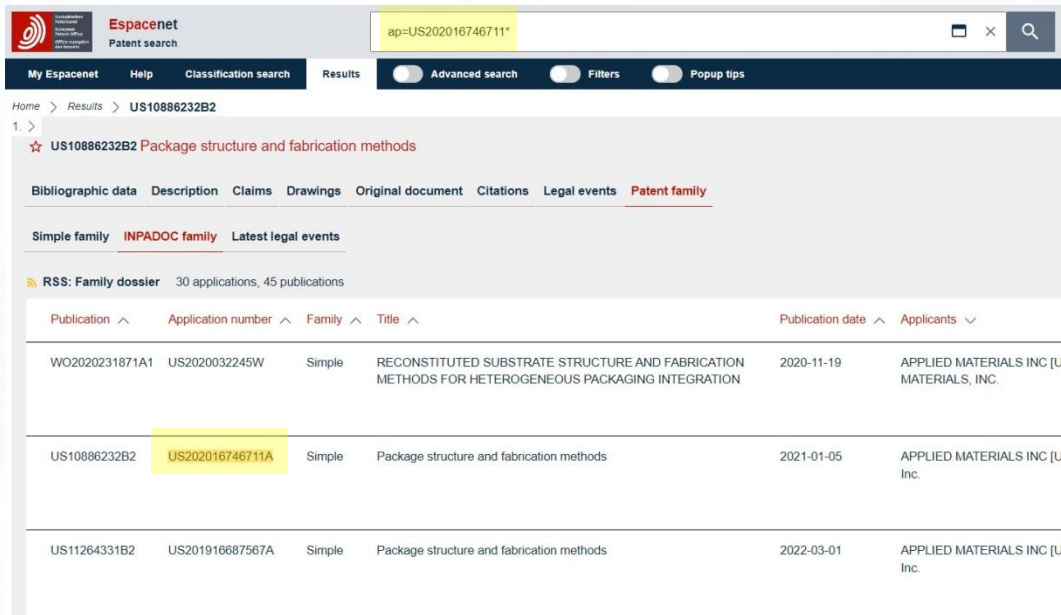
檢索條件：((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)

序號	主要圖式	申請日	公開公告日	申請號	公開公告號	專利名稱
☐ 1		2019/10/23	2020/11/16	TW108138225	TW202042367A	晶圓級扇出特殊應用積體電路橋接記憶體堆疊 WAFER LEVEL FAN-OUT APPLICATION SPECIFIC INTEGRATED CIRCUIT BRIDGE MEMORY STACK
☐ 2		2019/10/23	2021/11/21	TW108138225	TWI747067B	晶圓級扇出特殊應用積體電路橋接記憶體堆疊 WAFER LEVEL FAN-OUT APPLICATION SPECIFIC INTEGRATED CIRCUIT BRIDGE MEMORY STACK
☐ 3		2021/06/30	2022/08/18	US17363999	US20220262780A1	SEMICONDUCTOR PACKAGE HAVING A THREE-DIMENSIONAL STACK STRUCTURE
☐ 4		2021/05/12	2022/08/18	US17318703	US20220262694A1	Packages with Multiple Encapsulated Substrate Blocks
☐ 5		2021/04/13	2022/07/14	US17229322	US2022023530A1	Architecture for Computing System Package

檢索歷程

序號	檢索資料庫名稱	檢索式	檢索筆數	引用文獻
1	全球專利檢索系統 (GPSS)	((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)	125	1 US 2022/0262694 A1
2	國內外專利資料庫 全域檢索系統	(記憶體堆疊 and 中介 and 橋接) AND (IC=H01L-023*) AND (AD=:20220920 OR DR=:20220920)	22	2 TW 202249230 A
⋮	⋮	⋮	⋮	⋮

檢索歷程例示：參考關聯案



Home > Results > US10886232B2

1. >

☆ US10886232B2 Package structure and fabrication methods

Bibliographic data Description Claims Drawings Original document Citations Legal events Patent family

Simple family INPADOC family Latest legal events

RSS: Family dossier 30 applications, 45 publications

Publication	Application number	Family	Title	Publication date	Applicants
WO2020231871A1	US2020032245W	Simple	RECONSTITUTED SUBSTRATE STRUCTURE AND FABRICATION METHODS FOR HETEROGENEOUS PACKAGING INTEGRATION	2020-11-19	APPLIED MATERIALS INC [U MATERIALS, INC.
US10886232B2	US202016746711A	Simple	Package structure and fabrication methods	2021-01-05	APPLIED MATERIALS INC [U Inc.
US11264331B2	US201916687567A	Simple	Package structure and fabrication methods	2022-03-01	APPLIED MATERIALS INC [U Inc.

檢索歷程

序號	檢索資料庫名稱	檢索式	檢索筆數	引用文獻
:	:	:	:	:
3	EPO Espacenet	US 16/746711 審查意見	N/A	3 US 2011/0316147 A1
4	國內外專利資料庫 全域檢索系統	WO 2020/231545 A1 審查意見	N/A	4 JP 2004-119691 A
5	國內外專利資料庫 全域檢索系統	一案兩請	N/A	5 TW Mxxxxxxx U
6	國內外專利資料庫 全域檢索系統	分割案	N/A	6 TW xxxxxxxxxx A
7	國內外專利資料庫 全域檢索系統	本案說明書內記載	N/A	7 US xxxxxxxx B1
:	:	:	:	:

檢索歷程例示：二次檢索動作（一）

全球專利檢索系統
Global Patent Search System

檢索結果：共 125 筆，第 1/13 頁，每頁 10 筆

本頁：[+] 本次：[-] (0) [加入標記清單] [回查詢] [檢索及顯示設定] [友義列印]

檢索條件：((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)

序號	主要圖式	申請日	公開公告日	申請號	公開公告號	專利名稱
1		2019/10/23	2020/11/16	TW108138225	TW202042367A	晶圓級扇出特殊應用矽電路橋接記憶體堆疊 WAFER LEVEL FAN-OUT APPLICATION SPECIFIC INTEGRATED CIRCUIT BRIDGE MEMORY STACK
2		2019/10/23	2021/11/21	TW108138225	TWI747067B	晶圓級扇出特殊應用矽電路橋接記憶體堆疊 WAFER LEVEL FAN-OUT APPLICATION SPECIFIC INTEGRATED CIRCUIT BRIDGE MEMORY STACK
3		2021/06/30	2022/08/18	US1736399	US20220262780A1	SEMICONDUCTOR PACKAGE HAVING A THREE-DIMENSIONAL STACK STRUCTURE
4		2021/05/12	2022/08/18	US17318703	US20220262694A1	Packages with Multiple Encapsulated Substrate Blocks

結果分析

全文 影像 法律狀態 專利家族 檔卷調閱 雜項 引證圖

申請日 20210512
公開日 20220818
申請號 US17318703
公開號 US20220262694A1 公告 US11842935B2
申請人 Taiwan Semiconductor Manufacturing Co., Ltd. (TW)
發明人 Chen, Chen-Shien (TW);
Hsu, Kuo-Ching (TW);
Lin, Wei-Hung (TW);
Huang, Hui-Min (TW);
Cheng, Ming-Da (TW);
Lii, Ming-Ji (TW)
優先權 US 202117318703 20210512;
US 202163150725P 20210218
引用專利 US2017250138A1 20170831; US2020381391A1 20201203; US2017170128A1 20170615;
US2017338202A1 20171123; US2016056087A1 20160225; US2012241927A1 20120927;
US2019148305A1 20190516; US2019148301A1 20190516; US2017338202A1 20171123;
被參考次數 00001

檢索歷程

序號	檢索資料庫名稱	檢索式	檢索筆數	引用文獻
:	:	:	:	:
8	全球專利檢索系統 (GPSS)	((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)	125	
9	全球專利檢索系統 (GPSS)	US20220262694A1 引用	1	8 US 2017/0250138 A1
10	國內外專利資料庫 全域檢索系統	(記憶體堆疊 和 中介 和 橋接) AND (IC=H01L-023*) AND (AD=:2022920 OR DR=:20220920)	22	
11	國內外專利資料庫 全域檢索系統	TW202236808A 被引用	1	9 TW 1829426 B
12	全球專利檢索系統 (GPSS)	((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)	125	
13	全球專利檢索系統 (GPSS)	US20220262694A1 多重引用	1	10 US 9117770 B2
:	:	:	:	:

檢索歷程例示：二次檢索動作（二）

全球專利檢索系統
Global Patent Search System

主題專

檢索結果：共 125 筆，第 1/13 頁，每頁 10 筆

本頁：[+] [x] 本次：[x] (0) [加入標記清單] [回查詢] [檢索及顯示設定] [友善列印] [圖] [圖] [圖] [圖]

檢索條件：((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)

序號	主要圖式	申請日	公開公告日	申請號	公開公告號	專利名稱
01		2019/10/23	2020/11/16	TW108138225	TW202042367A	晶圓級扇出特殊應用積體電路橋接記憶體堆疊 WAFER LEVEL FAN-OUT APPLICATION SPECIFIC INTEGRATED CIRCUIT BRIDGE MEMORY STACK
02		2019/10/23	2021/11/21	TW108138225	TWI747067B	晶圓級扇出特殊應用積體電路橋接記憶體堆疊 WAFER LEVEL FAN-OUT APPLICATION SPECIFIC INTEGRATED CIRCUIT BRIDGE MEMORY STACK
03		2021/06/30	2022/08/18	US1736399	US20220262780A1	SEMICONDUCTOR PACKAGE HAVING A THREE-DIMENSIONAL STACK STRUCTURE
04		2021/05/12	2022/08/18	US17318703	US20220262694A1	Packages with Multiple Encapsulated Substrate Blocks

①

檢索歷程

序號	檢索資料庫名稱	檢索式	檢索筆數	引用文獻
:	:	:	:	:
14	全球專利檢索系統 (GPSS)	((memory stack*) and interposer* and bridge*) AND ID=:20220920 AND (IC=H01L-023*)	125	
15	全球專利檢索系統 (GPSS)	US20220262694A1 專利家族	1	11 TW 202234636 A

②

全文	影像	法律狀態	專利家族	檔卷調閱	雜項	引證圖
序號						
1	CN114975383A					
2	DE102021112657A1					
3	KR20220118282A					
4	TWI802210B					
5	TW202234636A					
6	US11842935B2					
7	US2022262694A1					
8	US2022384287A1					
INPADOC Espacenet						

檢索歷程意見回饋



專利審查品質回饋意見表	
(本表所蒐集之個人資料限於提升本局審查品質之目的使用，不會對外公布個人資料)	
回饋日期	2024/04/11(本項由系統自行編號)
回饋編號	本項由系統自行編號
專利申請案號	(反應意見為通案者免填)
* 回饋者姓名	
* 電子信箱	
* 聯絡電話	() - 分機
已回饋之編號	(相關案情如已回饋者，請提供先前之回饋編號)
* 專利類型	☒ 發明 ☐ 新型 ☐ 設計
* 回饋主題	☐ 程序審查 ☐ 形式審查 ☐ 實體審查 ☐ 舉發審查 ☐ 新型技術報告 ☐ 更正 ☒ 檢索歷程 ☐ 其他
* 回饋內容	文字輸入限制為3000字元
回饋者與該專利申請案之關係	☐ 申請人 ☐ 代理人 ☒ 其他
附件	目前已上傳 0 個檔案，總大小: 0 KB 路徑: 選擇檔案 未選擇任何檔案 上傳 檔案說明: 上傳之單一附件大小限制為5120KB，所有附件大小上限為10240KB，如超過可利用壓縮後再上傳；可上傳之檔案類型為副檔名為pdf。
* 驗證碼	 重新產生驗證碼

感謝，並請指教